

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant(s): Kaori NAKAYAMA, et al.

Serial No.:

Filed: March 5, 1999

Title: PACKET SWITCH FOR SWITCHING VARIABLE LENGTH  
PACKETS IN THE FORM OF ATM CELLS

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

March 5, 1999

Sir:

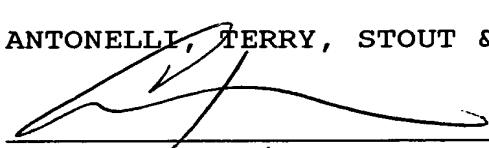
Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No.(s) 10-321706  
Filed: November 12, 1998

A certified copy of said Japanese Patent Application is  
attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
Carl I. Brundidge  
Registration No. 29,621

CIB/ssr  
Attachment

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

09/262839  
JC125 US PTO  
03/05/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1998年11月12日

出願番号  
Application Number:

平成10年特許願第321706号

出願人  
Applicant(s):

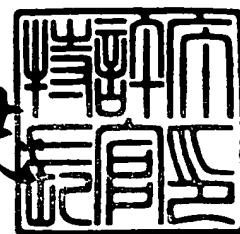
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 1月22日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建志



【書類名】 特許願  
 【整理番号】 PNT980675  
 【提出日】 平成10年11月12日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H04L 12/28  
 【発明の名称】 パケットスイッチ  
 【請求項の数】 13  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
     製作所 情報通信事業部内  
   【氏名】 中山 香  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
     製作所 情報通信事業部内  
   【氏名】 和田 光弘  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
     製作所 情報通信事業部内  
   【氏名】 菅野 隆行  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
     製作所 情報通信事業部内  
   【氏名】 山本 信行  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
     製作所 情報通信事業部内  
   【氏名】 松岡 誠  
 【発明者】  
   【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立

製作所 情報通信事業部内

【氏名】 二見 勇正

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立  
製作所 情報通信事業部内

【氏名】 小崎 尚彦

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100061893

【弁理士】

【氏名又は名称】 高橋 明夫

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恒助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 011626

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケットスイッチ

【特許請求の範囲】

【請求項1】

複数の入力回線および出力回線に接続され、各入力回線から入力された可変長パケットを各々のヘッダ情報で特定される出力回線へ出力するパケットスイッチにおいて、

上記入出力回線と対応した複数の入出力ポートを有し、各入力ポートから入力された固定長のセルをセルヘッダに含まれるルーティング情報によって特定される出力ポートに出力するスイッチ部と、

上記入力ポート毎に設けられ、それぞれ上記入力回線から受信した可変長パケットを固定長のセルに変換して上記入力ポートに供給する複数の入力回線インターフェースと、

上記出力ポート毎に設けられ、それぞれ上記出力ポートからの出力セルを受信して元の可変長パケットを復元し、前記出力回線の1つに送出する複数の出力回線インターフェースとを有し、

上記各入力回線インターフェースが、上記可変長パケットから変換されたセルを出力回線毎に優先度別にキューイングし、蓄積セルを優先度に応じて選択的に各々の入力ポートに送出するための制御手段を備えたことを特徴とするパケットスイッチ。

【請求項2】

請求項1に記載のパケットスイッチにおいて、該パケットスイッチ内での前記出力回線毎のセルの輻轡状態を検出し、前記各入力回線インターフェイスに通知するための手段を有し、前記各制御手段が、上記輻轡状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制することを特徴とするパケットスイッチ。

【請求項3】

前記スイッチ部が、前記各入力ポートからの入力セルを出力回線対応にキューイングするためのバッファメモリと、上記バッファメモリ内の各出力回線対応

の蓄積セル量を監視して、出力回線毎のセルの輻輳状態を示す輻輳状態通知を発生する監視手段とを有し、

前記各入力回線インターフェイスの制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制することを特徴とする請求項1に記載のパケットスイッチ。

【請求項4】

前記各出力回線インターフェイスが、前記出力ポートから受信した各出力セルからセルヘッダを除去するための手段と、上記セルヘッダの除去によって得られたデータブロックを上記セルヘッダに含まれる識別情報に従ってキューリングするためのバッファメモリと、上記バッファメモリ内での蓄積セル量を監視して、セルの輻輳状態を示す輻輳状態通知を発生する監視手段とを有し、

前記各入力回線インターフェイスの制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制することを特徴とする請求項1に記載のパケットスイッチ。

【請求項5】

前記各出力回線インターフェイスから前記輻輳状態通知を受信し、一括して前記各入力回線インターフェイスに通知するための手段を備えたことを特徴とする請求項4に記載のパケットスイッチ。

【請求項6】

前記各出力回線インターフェイスが、前記出力ポートから受信した各出力セルからセルヘッダを除去するための手段と、上記セルヘッダの除去によって得られたデータブロックを上記セルヘッダに含まれる識別情報に従ってキューリングするためのバッファメモリと、上記バッファメモリ内での蓄積セル量を監視するための監視手段とを有し、

前記パケットスイッチが、上記各出力回線インターフェイスで監視された蓄積セル量を収集し、各出力回線毎の輻輳状態を示す情報に変換して前記各入力回線インターフェイスに通知するための手段を有し、

前記各入力回線インターフェイスの制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制すること

を特徴とする請求項1に記載のパケットスイッチ。

【請求項7】

前記セルの輻輳状態通知が、出力回線毎の輻輳の程度を示す情報を含み、前記制御手段が、上記輻輳程度に応じて、セル送出を抑制すべきセルキーを決定することを特徴とする請求項2～請求項6の何れかに記載のパケットスイッチ。

【請求項8】

前記セル優先度が、前記可変長パケットのヘッダ部に含まれるサービスクラス情報に基いて決定されることを特徴とする請求項2～請求項7何れかに記載のパケットスイッチ。

【請求項9】

可変長パケットが送受信される第1の入力回線群および出力回線群と、可変長パケットを分割して得られる固定長データブロックとセルヘッダとからなる固定長のセルが送受信される第2の入力回線群および出力回線群とを取容するパケットスイッチにおいて、

複数の入出力ポートを有し、各入力ポートから入力された固定長のセルをセルヘッダに含まれるルーティング情報によって特定される出力ポートに出力するスイッチ部と、

上記第1の入力回線群から受信した可変長パケットを固定長の内部セルに変換して上記入力ポートに供給するための複数の第1の入力回線インターフェースと、

上記第2の入力回線群から受信した固定長のセルをヘッダ変換し、内部セルに変換して上記入力ポートに供給するための複数の第2の入力回線インターフェースと、

上記出力ポートから出力された内部セルを受信して元の可変長パケットを復元し、上記第1の出力回線群に送出するための複数の第1の出力回線インターフェースと、

上記出力ポートから出力された内部セルを受信し、セルヘッダの一部を除去して上記第2の出力回線群に送出するための複数の第2の出力回線インターフェースとからなり、

上記第1、第2の各入力回線インターフェースが、内部セルを出力回線毎に優先

度別にキューイングし、蓄積セルを優先度に応じて選択的に各々の入力ポートに送出するための制御手段を備えたことを特徴とするパケットスイッチ。

#### 【請求項10】

請求項9に記載のパケットスイッチにおいて、該パケットスイッチ内での前記出力回線毎のセルの輻輳状態を検出し、前記第1、第2の各入力回線インターフェイスに通知するための手段を有し、前記各制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制することを特徴とするパケットスイッチ。

#### 【請求項11】

前記スイッチ部が、前記各入力ポートからの入力セルを出力回線対応にキューイングするためのバッファメモリと、上記バッファメモリ内の各出力回線対応の蓄積セル量を監視して、出力回線毎のセルの輻輳状態を示す輻輳状態通知を発生する監視手段とを有し、

前記第1、第2の各入力回線インターフェイスにおける制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセルの送出を抑制することを特徴とする請求項9に記載のパケットスイッチ。

#### 【請求項12】

前記第1、第2の各出力回線インターフェイスが、前記出力ポートから受信した内部セルからセルヘッダを除去するための手段と、上記セルヘッダの除去によって得られたデータブロックを上記セルヘッダに含まれる識別情報に従ってキューイングするためのバッファメモリと、上記バッファメモリ内の蓄積セル量を監視して、セルの輻輳状態を示す輻輳状態通知を発生する監視手段とを有し、

前記第1、第2の各入力回線インターフェイスにおける前記制御手段が、上記輻輳状態通知でセルの供給を停止指示された出力回線に関して、優先度に応じてセル送出を抑制することを特徴とする請求項9に記載のパケットスイッチ。

#### 【請求項13】

複数の入出力回線と接続され、各入力回線から入力された可変長パケットを各々のヘッダ情報で特定される何れかの出力回線へ転送するパケットスイッチにおいて、

複数の入出力ポートを有し、各入力ポートから入力された固定長のセルをセルヘッダに含まれるルーティング情報によって特定される出力ポートに出力するスイッチ部と、

それぞれ入力回線から受信した可変長パケットを固定長のセルに変換して上記入力ポートに供給する複数の入力回線インターフェースと、

それぞれ上記出力ポートからの出力セルを受信して元の可変長パケットを復元し、前記出力回線に送出する複数の出力回線インターフェースとを有し、

上記各入力回線インターフェースが、該パケットスイッチ内で輻輳が発生した時、輻輳方路への未送信セルについて各自の優先度に応じたセル送出抑制を行うための制御手段を備えたことを特徴とするパケットスイッチ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、パケットスイッチに関し、更に詳しくは、例えばIP(Internet Protocol)パケットに代表される可変長パケットの通信ネットワークに適用されるパケットスイッチに関する。

##### 【0002】

##### 【従来の技術】

近年、注目されているインターネットのプロトコル（以下、IPと言う）では、IPデータグラムと呼ばれるパケット（以下、IPパケットと言う）を転送単位としてメッセージ転送が行われている。従来のIP網では、網内に配置されたルータ等のノード装置が、受信パケットについて、受信順にそれぞれの宛先アドレスに応じた経路選択を行って隣接ノード装置への転送を行っており、メッセージ転送に関しては、遅延時間などの通信性能を保証することなく宛先端末まで可能な限り転送を行うbest effort網となっている。

IP網内の各ノードでは、入力回線からの受信パケットについて、各入力回線インターフェースでIPヘッダを解析し、IPヘッダ中に含まれるルーティング情報に従って該パケットを転送すべき出力回線インターフェイスを判別し、スイッチ部を介して、上記各受信パケットをそれぞれの宛先と対応した出力回線インタ

フェースに順次に中継する構成となっている。

#### 【0003】

I Pパケットを高速度で転送するノード装置として、例えば、“A 50-Gb/s IP Router” (Craig Partridge他著、IEEE/ACM TRANSACTIONS ON NETWORKING, Vol .6, No.3, June 1998) の論文には、それぞれ複数のネットワーク・インターフェイスをサポートする複数の回線カード（ボード）と、ルーティングテーブルを備えた転送エンジン（Forwarding Engine）カードとを、例えばクロスバー・スイッチに代表されるポイント・ツー・ポイント型のスイッチで結合し、各回線カードが受信パケットのヘッダ部を含むデータブロックを上記転送エンジンに送信し、転送エンジンで更新処理された新たなヘッダ情報を含むデータブロックがパケット入力側の回線カードに返送され、入力側の各回線カードが、上記新たなヘッダ情報を含むデータブロックとパケット残部とを出力側回線カードに転送するようにした構成のルータ装置が提案されている。

#### 【0004】

上記論文には、入力側の各回線カードが、パケットを64バイト単位の連鎖されたページ（データブロック）に解体して送出すること、出力側の各回線カードが、これらのページをパケットを表すリンクド・リストに組立て、組立てたパケットをQoSプロセッサに渡し、QoSプロセッサが、パケット長、宛先、および転送エンジンが指定したフロー識別子に基いて上記パケットを送信キュー内の適当な位置に置くこと、輻輳時にはキューイングすることなくパケットが廃棄されることを開示している。

#### 【0005】

##### 【発明が解決しようとする課題】

インターネットの普及に伴って、通常の計算機が扱うデータ系の通信サービス以外に、音声や動画に代表されるリアルタイム系通信サービスのサポート要求が高まってきたが、リアルタイム系の通信サービスをサポートするためには、各ノードでの受信パケットの中継遅延時間をできるだけ短縮する必要がある。

然るに、従来のノード装置では、各入力回線インターフェイスからスイッチ部あるいは出力回線インターフェイスへのデータ転送が可変長のI Pパケット単位

で行われているため、1つの出力回線インターフェイス宛にパケットデータの転送が開始されると、1パケット分のデータ転送が完了しない限り、同一出力回線インターフェイスに対して他のIPパケットを転送することができない。これと同様に、各入力回線インターフェイスでは、1つのIPパケットについてデータ転送を開始すると、そのパケットの全てのデータ転送が完了しない限り、転送の対象を他のIPパケットに切り替えることはできない。

#### 【0006】

このため、従来のノード装置では、遅延時間をあまり問題にしないデータ系通信サービスのIPパケットが1つの出力回線インターフェースに転送されている間は、同一の出力回線インターフェースに転送すべき他のIPパケットは、仮にそれがリアルタイム系通信サービスのパケットであっても、先行するIPパケットの転送が完了するまで待機させざるを得ず、特にパケット長の大きいデータ系IPパケットが転送中は、後続パケットに大きな中継遅延が発生するという問題がある。

#### 【0007】

また、上記IEEEの文献では、入力側の回線カードが、パケットを64バイトのページに分解してスイッチに出力しているが、入力側の回線カードは、各パケットの送信に先立って、スイッチ・アロケータを介して出力側回線カードと折衝し、出力側カードがパケットの受信を了承した場合に送信を開始しているため、1つのパケットについてページデータの送信が開始されると、これが途中で中断されることなく、結果的には、スイッチがパケット単位でデータを中継している。また、上記文献では、出力側の回線カードにおいて、出力キューが輻輳した時、QoSプロセッサによってパケット廃棄が行われており、輻輳を回避するための制御に問題がある。

#### 【0008】

本発明の目的は、可変長パケットを優先度に応じて転送制御できるノード装置およびパケットスイッチを提供することにある。

本発明の他の目的は、異なるサービスクラスの可変長パケットを受信し、特にリアルタイム性の要求されるサービスクラスの受信パケットについては、優先的

に転送制御することによって中継遅延時間を短縮可能にしたノード装置およびパケットスイッチを提供することにある。

本発明の更に他の目的は、高い優先度を有する可変長パケットをそれに先行する低い優先度の可変長パケットを追い越して目的の出力回線に送出する機能を備えたノード装置およびパケットスイッチを提供することにある。

本発明の更に他の目的は、簡易なQoS (Quality of service) 機能を実現できるノード装置およびパケットスイッチを提供することにある。

本発明の更に他の目的は、輻輳によるパケット廃棄を回避し、且つ、優先度の高いパケットについては短い遅延時間で出力回線に中継可能なノード装置およびパケットスイッチを提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明のノード装置およびパケットスイッチは、入力回線から受信した可変長パケットを各入力回線インターフェイスで固定長のセルに変換し、スイッチ部においてセル単位でスイッチングし、上記スイッチ部からの出力セルを各出力回線インターフェイスで元の可変長パケットに変換して出力回線に送出するように構成され、上記各入力回線インターフェイスが、上記可変長パケットから変換された固定長のセルを出力回線毎に優先度別にキューリングし、各キューレの蓄積セルを優先度に応じて選択的に出力するための制御手段を備えたことを特徴とする。

#### 【0010】

上記本発明の構成によれば、例えば、パケットスイッチ内で輻輳が発生した時、輻輳状態を各入力インターフェイスに通知し、上記制御手段で輻輳方路への未送信セルの送出を各セルキューレの優先度に応じて選択的に抑制することによって、輻輳状態が深刻化するのを回避できる。また、例えば、音声パケットのようにリアルタイム性を要求されるサービスクラスのパケットについては、セルに高い優先度を与えることによって、輻輳に起因する遅延時間の大幅な増加を招くことなく、出力回線側に転送することが可能となる。

尚、上記輻輳状態の通知は、例えば、スイッチ部において各出力回線毎のセル

キューを監視することによって、または、各出力回線インターフェイスでパケット組立て用のバッファを監視することによって、出力回線毎または出力回線／優先度別の輻輳状態情報を生成し、これを各入力回線インターフェイスに所定周期で通知すればよい。

### 【0011】

#### 【発明の実施の形態】

以下、本発明の幾つかの実施例を図面を参照して説明する。ここでは、交換対象となる可変長パケットがIPパケットの場合について説明するが、本発明は上記IP以外の他のプロトコルのパケットに対しても適用可能である。

### 【0012】

図1は、本発明によるパケットスイッチの第1の実施例を示す。

パケットスイッチは、入力回線IN (IN-1～IN-n) に接続され、各入力回線から受信したIPパケットを固定長のセルに変換してスイッチ入力ポートLI (LI-1～LI-n) に出力する複数の入力回線インターフェース1 (1-1～1-n) と、複数の入力ポートLI-1～LI-nと複数の出力ポートLO-1～LO-nとを有し、上記各入力ポートからの入力セルをそれぞれのセルヘッダに含まれるルーティング情報で特定される何れかの出力ポートに転送するスイッチ部3と、上記スイッチの出力ポート毎に設けられ、各出力ポートから受信したセルから元のIPパケットを復元して、出力回線OUT (OUT-1～OUT-n) に送出する複数の出力回線インターフェース2 (2-1～2-n) と、上記スイッチ部3における輻輳状態を各入力回線インターフェース1に通知する輻輳通知部4と、上記複数の入力回線インターフェイス1と結合され、各入力回線から入力されるIPパケットのルーティング情報を管理するルーティング管理部5とから構成される。

### 【0013】

本発明の特徴は、上記パケットスイッチにおいて、特定の出力ポートに向かう複数のパケットが複数の入力回線から時間的に重なって入力され、スイッチ部内で上記特定出力ポートに向かうセルの蓄積量が所定の閾値を越えた場合、輻輳通知部4から信号線19を介して各入力回線インターフェイスに与える輻輳状態通

知に応答して、上記特定出力ポートに向かうセルを送出中の入力回線インターフェイスが、セル優先度に応じて選択的にセル送出を抑制する点にある。

## 【0014】

輻輳制御は、例えば、スイッチ部3内で各出力ポート対応に形成されるセルキューに複数段階の閾値を設定しておき、特定出力ポートの蓄積セル量が第1閾値T<sub>h1</sub>に達した時点で、上記特定ポートに向かう低優先度セルの入力を抑制し、第2閾値T<sub>h2</sub>に達した時点で、上記特定ポートに向かう高優先度セルの入力を抑制し、スイッチ部へのセルの供給抑制によって上記特定出力ポートでのセルの蓄積量が減少するに従って、優先度順にセル入力を解禁するようすればよい。また、上記スイッチ部内で出力ポート毎に優先度別に複数のセルキューを形成する場合は、例えば、各キュー毎に個別の閾値を設定しておき、蓄積セル量が閾値を超えて輻輳状態となったキューに関して、セル入力を抑制すればよい。

尚、本明細書で言う輻輳状態は、蓄積セル量が所定の閾値を超えたか否かの状態を指しており、必ずしもセル廃棄状態に陥ったことを意味するものではない。

## 【0015】

上記パケットスイッチにおいて、例えば、図1に示すように、入力回線IN-1から入力された出力優先順位の高い音声系サービスクラスのパケットIP1と、入力回線IN-nから入力された出力優先順位の低いデータ系のサービスクラスのパケットIP2とが同一の出力回線OUT-2（または、出力ポートLO-2）に向かう場合、これらのパケットは、それぞれの入力回線インターフェイス1-1、1-nでATMセルに変換され、入力ポートLI-1、LI-nからスイッチ部3に入力されて、出力ポート対応のセルキューに一時的に蓄積される。上記スイッチ部のセルキューからのセルの読み出しは、出力ポートLO-1～LO-nを循環的に走査して各読み出しサイクルで1つの出力ポートへ1セルずつ順次に出力するように繰り返されるため、複数の入力ポートからセルが供給される上記出力ポートLO-2対応のセルキューでは、セルの蓄積量が次第に増加する。

## 【0016】

本実施例では、スイッチ3内に形成された各セルキューにおける蓄積セル量を

監視し、その状態を輻輳通知部4および信号線19を介して各入力インターフェイス1に通知し、上記出力ポートLO-2と対応したセルキューで蓄積セル量が第1の閾値に達した時（或いは第1閾値を超えた時）、この出力ポートに向かうセルを出力中の入力回線インターフェイス1-1、1-nが、スイッチ部3へのセルの供給を抑制するようにしている。セルの抑制は、各セルが搬送するパケットの優先度に応じて制御される。図示した例では、優先順位の低いパケットIP2のセルを出力中の入力回線インターフェイス1-nがセルの出力を停止し、高い優先順位をもつパケットIP1のセルを出力中の入力回線インターフェイス1-1は、そのままセルの出力を継続する。入力回線インターフェイス1-nがスイッチ部へのセルの供給を抑制することによって、出力ポートLO-2と対応した出力キューでは出入力セル量がバランスまたは改善され、セル廃棄に陥るような蓄積セル量の増加が回避される。

#### 【0017】

本実施例によれば、各入力回線インターフェイスが受信パケットをセル単位でスイッチ部に出力し、スイッチ部がセル単位でパケットを転送するようにしているため、パケットIP2についてセルの出力動作を開始した入力回線インターフェイス1-nに対して、輻輳通知部からの輻輳状態通知に応じてセルの出力を中断させ、状態が回復する迄、送信中パケットの残部IP2-2をバッファリングさせることができる。この状態で、入力回線IN-nから優先順位の高い音声系サービスのパケットIP3が入力された場合、入力回線インターフェイス1-nが、先行する低優先順位のパケットの一部IP2-2を残したまま、新たに到着したパケットIP3についてセルの送出動作を開始し、結果的に、後着の優先パケットIP3が先行する非優先パケットIP2を追い越すようにセルの転送を制御できる。

#### 【0018】

出力ポートLO-2に接続された出力回線インターフェイス2-2は、スイッチ部3から受信したセルをパケット別にキューイングし、先頭セルから最終セルまで揃ったものから順にパケットを復元して送出動作するため、出力回線OUT-2にはIP1、IP3、IP2の順で出力パケットが現れる。尚、ここでは、

後着パケットIP3が先行パケットIP2と同一の出力回線に向かう場合について説明したが、後着パケットIP3と先行パケットIP2とが別々の出力回線に向かう場合でも同様であり、優先順位の高いサービスクラスについて輻輳時の遅延を最小限に抑えたパケット転送が可能となる。

#### 【0019】

図2は、図1における入力回線インターフェース1-1の1実施例を示すプロック構成図である。

入力回線インターフェイス1-1は、入力回線IN-1から受信したパケット(IPパケット)1を一時的に記憶するためのバッファメモリ12と、各パケットのヘッダ情報と対応したセルヘッダ情報を記憶したルーティングテーブル13と、上記バッファメモリ12から読み出されたパケットを固定長の複数のデータブロックに分割し、各データブロックに上記ルーティングテーブル13から読み出されたセルヘッダ情報を付加して内部ATMセルに変換するセル化回路14と、上記セル化回路14でセル化されたセルを出力回線別にサービスクラス毎にキューイングする入力バッファメモリ15と、上記入力バッファメモリ15へのセルの書き込みと読み出しを制御するメモリ制御部16とからなる。

#### 【0020】

入力回線IN-1からバッファメモリ12に入力される可変長のIPパケットは、図3に示すように、データフィールド71とIPヘッダ72とからなり、セル化回路12は、入力パケットを48バイトあるいは64バイトの固定長の複数のデータブロック81-1～81-kに分割し、それぞれのブロックにセルヘッダ82を付加することによって、内部ATMセルCELL-1～CELL-nに変換する。

#### 【0021】

IPヘッダ72は、例えば、図4(a)に示すように、6オクテッド(23バイト)のヘッダ長を有し、サービスタイプTOS(Type of Service)、IPパケットの全長、発信元アドレス、宛先アドレス等の情報を含んでいる。

また、本実施例で各データブロック81に付されるセルヘッダは、例えば、図4(b)に示すように、出力回線番号と、入力回線番号と、サービスクラスと、

セルがパケット（またはメッセージ）の先頭セル、最終セル、その他のセルの何れかを示すセルタイプとを含んでいる。尚、IPパケットのセル化には、ITU-TやATM Forum等で標準化されている方法（AAL5等）を適用してもよい。

#### 【0022】

図2に示した入力回線インターフェイス1-1は、入力回線IN-1から受信したIPパケットをバッファメモリ12に蓄積すると共に、IPパケットのヘッダ部72に含まれる宛先アドレス、あるいは宛先アドレスと発信元アドレスとを組み合わせた値を検索キーとしてルーティングテーブル13をアクセスし、上記検索キーに対応して予めルーティング管理部5によって上記テーブルに記憶してあるセルヘッダ情報を読み出す。セルヘッダ82を構成する制御情報のうち、入力回線番号は、各入力回線インターフェイス毎に固有の値であり、サービスクラスは、バッファメモリからIPヘッダを読み出したとき、IPヘッダのTOSフィールドで指定され、先頭セル／最終セル／その他を区別するセルタイプは、上記IPヘッダに含まれるパケット長に基づいてセル化回路自身で決定できるため、上記ルーティングテーブル13から与えるべき最低限の制御情報は出力回線番号となる。

#### 【0023】

セル化回路14は、ルーティングテーブル13から出力回線番号の供給を受けると、バッファメモリ12からIPヘッダを含むパケット先頭のデータブロックを読み出し、図4（b）に示したセルヘッダ82を生成した後、上記データブロックをペイロード部に含む先頭セルを形成する。上記セル化回路14は、IPヘッダから抽出したパケット長に基づいて、残りのパケットサイズを管理しながら第2セル以降のデータブロックを次々と読み出し、最終のデータブロックでは、不足するデータ長をパディングにより補って固定長のデータブロックとし、上記各データブロック毎にセルヘッダを付加することによって次々とATMセルに変換する。また、上記セル化回路14から出力されたATMセルは、メモリ制御部16によって入力バッファメモリ15に書き込まれる。上記メモリ制御部16は、バッファメモリ15内に、ATMセルヘッダの出力回線番号とサービスクラスとに

応じて複数のセルキューを形成し、各セルをそれと対応する何れかのセルキューに順次に登録する。

## 【0024】

図2に示した例では、出力回線番号と対応して論理的な複数のバッファ領域150-1～150-mを形成し、各バッファ領域毎に優先クラスと非優先クラスの2クラスに分けてセルキューQ1、Q2を形成している。但し、優先度によるクラス分けは3クラス以上であってもよい。また、バッファメモリ15内において、バッファ領域を複数の出力回線で共用し、各セルキューが他のセルキューと空きエリアを共用する共通バッファ構造を採用すれば、メモリ容量を有效地に利用して複数のセルキューを形成できる。

## 【0025】

メモリ制御部16は、セル化回路14から出力されたセルをバッファメモリ15に書き込み動作する一方で、入力ポートLI-1～LI-nを走査して周期的に与えられる各読み出しサイクルにおいて、優先クラスのセルキューQ1に未送信セルがある間はそれを順次に読み出し、優先クラスの全てのセルキューQ1が空の場合に非優先クラスのセルキューQ2からセルの読み出しを行う形式でセルの読み出しを行う。上記メモリ制御部16は、信号線19を介して輻輳通知部4から輻輳状態通知を受信しており、輻輳通知が何れかの出力回線OUT-i（または出力ポートLO-i）で輻輳状態となったことを示した場合、輻輳通知内容に従って上記出力回線に対するセルの送出を抑制する。

## 【0026】

上記輻輳通知は、出力回線毎に複数の表示ビットを割り当てたビットマップ形式とすることができる。例えば、各出力回線毎にそれぞれ優先度と対応した2ビットを割り当て、第1ビットで優先セルの送出可否、第2ビットで非優先セルの送出可否を表す。図2に示した輻輳通知では、出力回線[1]（OUT-1）と対応した表示ビット“10”で、出力回線[1]が軽輻輳状態にあることを示しているため、各入力回線インターフェイスでは、上記出力回線と対応する非優先キューQ2についてセルの読み出しを停止する。また、出力回線[N]（OUT-n）と対応する表示ビット“11”は、出力回線[N]が重輻輳状態、すなわち

、非優先セルと優先セルの双方についてセルの流入を禁止することを示している。従って、上記出力回線[N]にセルを送出中の各入力回線インターフェイスは、上記表示ビットの状態が変更される迄の間、非優先キューQ2のみならず優先キューQ1からのセルの読み出しも停止する。尚、優先度の区分を3クラス以上にした場合は、クラス数に応じて輻輳状態の表示ビット数を増加すればよい。

## 【0027】

図5に、図1におけるスイッチ部3の構成の1例を示す。

スイッチ部3は、入力ポートLI-1～LI-nから並列的に入力されたセルを多重化し、時系列的に出力する多重化回路31と、それぞれ出力ポートLO-1～LO-nと対応して設けられた複数のセル転送制御部32(32-1～32-n)とからなる。

## 【0028】

セル転送制御部32-1は、上記多重化回路31から出力されたセルをフィルタリングし、セルヘッダに出力回線LO-1を示す特定の出力回線番号を含むセルのみを選択的に取り込むアドレスフィルタ321と、セルをキューイングするためのバッファメモリ323と、上記バッファメモリ323内のセル数を監視するバッファ量監視部322と、読み出しクロックCLK-1が示す読み出しタイミングで、上記バッファメモリ323からセルを読み出すための読み出し制御部324とからなっている。他のセル転送制御部32-2～32-nもこれと同様の構造となっている。

## 【0029】

上記スイッチ構造では、バッファメモリ323内に形成された1つのセルキューに同一出力ポートに向かう優先セルと非優先セルとが混在して蓄積され、蓄積セルが FIFO形式で到着順に読み出される。

また、バッファ量監視部322が、アドレスフィルタ321からセルの書き込み通知に応答して蓄積セル数をインクリメント(+1演算)し、セルの読み出しクロックCLK-1に応答して蓄積セル数をデクリメント(-1演算)しながら、バッファメモリ323内の蓄積セル数を監視し、バッファメモリ323内のセル数が所定の第1閾値に達した時点で、輻輳通知部4と接続された信号線L-1に

軽輻輳状態を示す輻輳信号を発生し、蓄積セル数が上記第1閾値よりも大きい第2閾値に達した時点で、重輻輳を示す輻輳信号を発生する。上記第2閾値は、バッファメモリ323がもつセル蓄積容量よりも低い値であり、各入力回線インターフェイス1が輻輳通知部4からの輻輳通知に応答してセルの送出を停止するまでの期間（制御遅れ時間）内にセル転送制御部に流入する追加セルを重分に収容するだけの余裕を残した値となっている。

#### 【0030】

図6は、図1における出力回線インターフェース2-1の構成の1例を示す。

上記出力回線インターフェース2-1は、スイッチ部3の出力ポートLO-1から受信したセルからセルヘッダ82を除去するデセル化回路21と、デセル化によって得られたデータブロック81をそれぞれ元のIPパケットと対応したキューに蓄積する出力バッファメモリ22と、上記出力バッファメモリ22へのデータブロックの書き込みと復元されたIPパケットの読み出しを制御するメモリ制御部23とからなる。

#### 【0031】

メモリ制御部23は、デセル化回路21が各セルのセルヘッダから抽出した入力回線番号、サービスクラスおよびセルタイプと、各IPパケットの先頭セルが含むIPヘッダから抽出されたパケット長を受信し、出力バッファメモリ22内に入力回線番号毎、クラス毎のキューを形成して、各セルのデータブロックをそれぞれと対応するキューに蓄積（登録）する。また、最終セルのデータブロックがキューに登録されたとき、上記キュー内で1つのIPパケットの復元が完了しているため、上記キューからIPパケットを読み出し、出力回線OUT-1に送出する。出力回線インターフェース2-1には、入力回線インターフェース1-1～1-nにおける優先度に応じたセル転送制御によって、優先順位の高いセルが優先的に到着しているため、結果的に、IPパケットの復元も優先クラスのものから順に完了して、出力回線OUT-1に出力されることになる。

#### 【0032】

図7は、図1に示したパケットスイッチに適用可能なスイッチ部3の他の実施例を示す。

本実施例のスイッチ部3は、先に図5に示したスイッチ部と同様、多重化回路31と、出力ポートLO-1～LO-n毎に設けられた複数のセル転送制御部32-1～32-nとからなっているが、図5と比較すると、各セル転送制御部32が、入力セルを優先度に従ってクラス別にフィルタリングするための2つのアドレスフィルタ321、A321Bと、セルをクラス別にキューイングするための2つのセルキュー（優先セルキュー323Aと非優先セルキュー323B）と、上記2つのキューの一方を選択してセルの読み出しを行うためのセレクタ326と、上記セレクタに与えるキューの選択信号を生成する優先制御部325とを備えている点が特徴となっている。

図7において、多重化回路31から出力されたセル列は、各セル転送制御部32のアドレスフィルタ321A、321Bにおいてセルヘッダが解析され、各セル転送制御部に固有の出力回線番号を有し、各アドレスフィルタに固有のクラスをもつセルが選択的に取り込まれて、キュー323Aまたは323Bにクラス別にキューイングされる。

### 【0033】

優先制御部325は、上記アドレスフィルタ321A、321Bからのバッファ監視部322に供給されるクラス別のセル入力信号を監視し、優先度に応じてセルの読み出しを行う。すなわち、優先制御部325は、クロックCLK-1で指定される各読み出しサイクルにおいて、優先セルキュー323Aと非優先セルキュー323Bにおける蓄積セルの有無を判定し、優先セルキュー323Aにセルが存在する場合は優先セルキューを読み出し、優先セルキューにセルが蓄積されていない場合には非優先セルキューを読み出すように、セレクタ326に制御信号を与えて選択的にセルを読み出す。

上記優先制御部325による選択的なセル読み出し制御によって、優先セルは、後から到着した場合でも、非優先セルより先に出力ポートLO-1に転送できるため、パケットスイッチ内での転送遅延を著しく短縮できる。また、本実施例の場合、バッファ量監視部322は、アドレスフィルタ321A、321Bからクラス別にセル入力信号を受信し、バッファメモリにおける蓄積セル量をクラス別にカウントできるため、優先セルキュー323Aと非優先セルキュー323Bの

蓄積セル数がそれぞれ所定の閾値を越えたか否かを監視して、優先度別の輻輳通知（輻輳制御信号）を発行できる。

## 【0034】

尚、セルキュー323Aと323Bを共通バッファ内に論理的なキューとして形成する場合、バッファメモリの全体容量を考慮して、軽輻輳を示す第1閾値と重輻輳を示す第2閾値とを設定し、例えば、セルキュー323Aと323Bの総蓄積セル量が第1閾値を越えた場合は、非優先セルの流入を抑制し、総蓄積セル量が第2閾値を越えた場合は、優先セルの流入も抑制するように輻輳制御信号を発行すればよい。また、これを変形し、非優先セルキュー323Bは第1閾値を越えた時点でセルの流入を抑制し、優先セルキュー323Aは、蓄積セル数が第2の閾値から第1の閾値を引いた値を越えた時点でセルの流入を抑制するように輻輳制御してもよい。

## 【0035】

図8は、図1に示したパケットスイッチに適用可能なスイッチ部3の更に他の実施例を示す。

入力ポートLI-1～LI-nから並列的に入力されたATMセルは、書き込みサイクルにおいて、多重化回路31を介して信号線（バス）L31に時系列的に出力され、書き込み制御部43によって共通バッファメモリ40に書き込まれる。上記書き込み制御部43は、出力回線／サービスクラス毎に書き込みアドレスを記憶する書き込みアドレステーブルを備えており、多重化回路31からセルが出力される都度、各セルのヘッダ部に含まれる出力回線番号とサービスクラスを信号線L32を介して受信し、これをアドレスとして上記書き込みアドレステーブルをアクセスし、テーブルから読み出されたアドレスを書き込みアドレスWAとして、信号線L31からの入力セルを共通バッファメモリ40のセル領域に書き込む。この時、空きアドレスバッファ45から取り出された次アドレスが、上記書き込みアドレステーブルと上記共通バッファメモリ40のポインタアドレス領域に書き込まれる。

## 【0036】

上記共通バッファメモリ40では、ポインタアドレス領域に蓄積された次アド

レスがセル領域に蓄積されたATMセルと対をなしており、次回、上記セルと同一の出力回線番号、同一のサービスクラスのセルが入力された時、上記書込みアドレステーブルから読み出された上記ポインタアドレスと同一の次アドレスでセルの書込みを行うことによって、共通バッファメモリ内には、ポインタアドレスで互いに連鎖された出力回線／サービスクラス毎の論理的な複数のセルキューが形成される。上記共通バッファメモリ40内の蓄積セルは、読み出し制御部44によって読み出され、分離回路41を介してそれぞれ該当する出力ポートLO-1～LO-nに振り分けられる。

#### 【0037】

上記読み出し制御部44は、出力回線／サービスクラス毎に読み出しアドレスを記憶する読み出しアドレステーブルを備えており、前記書込みサイクルと交互に割り当てられる読み出しサイクルにおいて、信号線L44から与えられる出力回線番号とサービスクラスをアドレスとして上記読み出しアドレステーブルをアクセスし、テーブルから読み出されたアドレスを読み出しアドレスRAとして、上記共通バッファメモリ40のセル領域とポインタアドレス領域からATMセルとポインタアドレスを読み出す。この時、用済みとなった読み出しアドレスRAが開放されて、空きアドレスバッファ45に空きアドレスとして登録され、ポインタアドレス領域から読み出されたポインタアドレスが、上記読み出しアドレスRAに代わる次の読み出しアドレスとして読み出しアドレステーブルに記憶される。

#### 【0038】

図8において、CLK0は、書込み／読み出しサイクルを規定するクロック信号であり、42Aは、上記クロックCLK0の立ち上がりでカウント動作して、多重化回路31に入力ポートLI-1～LI-nの選択信号CLK-Iを供給するためのカウンタ、42Bは、上記クロックCLK0の立ち下がりでカウント動作して、分離回路41に出力ポートLO-1～LO-nの選択信号CLK-Oを供給するためのカウンタであり、上記読み出しアドレステーブルに与える出力回線番号は上記カウンタ42Bの出力CLK-Oから得られる。

#### 【0039】

46は、出力回線番号と対応してサービスクラス別の蓄積セル数を記憶するた

めのカウントテーブル用のメモリ、47は、上記カウントテーブルメモリ46と結合されたバッファ量監視装置を示す。上記カウントテーブルメモリは、書き込みサイクルでは信号線L32に現れる各入力セルの出力回線番号によって、また、読み出しサイクルではカウンタ42Bから与えられる出力回線番号によってアドレスされ、出力回線番号と対応したカウンタレコードを監視装置47に出力する。

#### 【0040】

上記カウンタレコードは、サービスクラス毎、例えば、優先クラスと非優先クラスのカウントエリアからなっており、監視装置47は、書き込みサイクルにおいて、信号線L32で与えられる各入力セルのサービスクラスと対応したカウントエリアのカウント値（蓄積セル数）をインクリメント（+1演算）し、蓄積セル数と所定閾値との比較結果に応じた輻輳制御信号を発生する。また、読み出しサイクルでは、出力回線番号と対応してメモリ46から読み出されたカウンタレコードを判定し、信号線L44で読み出し制御部44に与えるべきサービスクラスを決定する。すなわち、優先クラスのカウントエリアでカウント値がゼロでなければ、優先クラスのセルキューからの読み出しを指定し、そうでなければ、非優先クラスのセルキューからの読み出しを指定する。

上記実施例の場合、1つのバッファ量監視装置47で全ての出力回線のセルキューを監視しているため、図1で示した輻輳通知部4を省略して、上記監視装置47から各入力回線インターフェイス1に全出力回線の輻輳状態を示す制御情報を直接与えることが可能となる。

#### 【0041】

図9は、本発明によるパケットスイッチの第2の実施例を示す。

本実施例は、スイッチ部3Aにセルキューを形成するためのバッファメモリを具備しないタイプのものを使用し、各出力回線インターフェイス2'（ $2' - 1 \sim 2' - n$ ）側で輻輳状態を検出し、これを輻輳通知部4を介して各入力回線インターフェイス1（ $1 - 1 \sim 1 - n$ ）に通知するようにしたことを特徴としている。各入力回線インターフェイス1には、図2に示した第1実施例と同様の構成のものを適用できる。

## 【0042】

図10は、図9に示したスイッチ部3Aの構成の1例を示す。

スイッチ部3Aは、出力ポートLO-1～LO-n毎に設けた複数のセル転送制御部33(33-1～33-n)からなるクロスポイント型のものである。各セル転送制御部33は、複数の入力ポートLI-1～LI-nと接続され、そのうちの1つを選択して入力セルを出力ポートに転送動作するセレクタ331と、上記各入力ポートから入力される入力セルのセルヘッダを解析し、各々の出力ポートと対応した特定の出力回線番号をもつセルのみを選択的に通過させるように上記セレクタを制御するヘッダ解析部332とからなる。

## 【0043】

図11は、図9の出力回線インターフェース2'-1の構成の1例を示す。

出力回線インターフェース2'-1は、図6に示した入力回線インターフェイス2-1と同様のデセル化回路21、出力バッファメモリ22およびメモリ制御部23の他に、上記メモリ制御部22に接続して上記出力バッファメモリ22の輻輳状態を監視するバッファ量監視部(輻輳監視部)24を備えている。

## 【0044】

上記バッファ量監視部24は、メモリ制御部23が行うバッファメモリ22へのセルの書き込み、IPパケットの読み出し動作の都度、上記メモリ制御部から該当するセルキューの識別情報(例えば、入力回線番号とサービスクラス)とR/Wの区分情報を入手し、これらの情報に基づいて、出力バッファメモリ22におけるサービスクラス別のデータブロックの蓄積量を算出し、蓄積ブロックの総量またはサービスクラス別の蓄積量に応じて、セルの流入を制限するための輻輳制御信号を生成し、信号線L-1を介して輻輳通知部4に通知する。

尚、各出力回線のバッファ量監視部で閾値と比較する代わりに、輻輳通知部4が各バッファ量監視部24にクラス別の蓄積セル量を問い合わせ、輻輳通知部で閾値で一括して閾値と比較し、出力回線毎のクラス別の輻輳制御情報を生成して各入力回線インターフェイスに通知するようにしてもよい。

## 【0045】

本実施例では、例えば、出力バッファメモリ22内のデータブロックの総蓄

積量が第1閾値に達した時または非優先セルのデータブロック蓄積量が所定の閾値を越えた時、軽輻輳の状態通知を発行して非優先セルの流入を抑制する。データブロックの総蓄積量が第2閾値に達した時、または優先セルのデータブロック蓄積量が所定の閾値に達した時には、優先セルについても流入を抑制する。

この場合、上記出力バッファメモリ22からのデータの読み出しは、何れかのIPパケットについて最終セルが到着しない限り発生しないため、重輻輳時に全ての優先セルの流入を一律に禁止しただけでは、状態が回復するとは限らない。

#### 【0046】

このため、メモリ制御部23がバッファメモリ22内に形成するパケット組立用のキューの個数に上限を設けておき、キューの個数が上限値に達したら他のパケットのセルの流入を禁止するようにしてもよい。また、バッファ量監視部24で、各キュー毎にパケット長と受信セル数に基いて最終セル迄の待ちセル数を計数しておき、重輻輳時には、待ちセル数の少ない特定の優先パケットについてセルの流入を許可し、それ以外のパケットに属したセルについては送出を禁止する形式で状態通知を発行するようにしてもよい。この場合、状態通知として、軽／重の輻輳表示ビットの他に、送出が許可（または禁止）された優先セルを指定する情報、例えば、入力回線番号とサービスクラスとからなるパケット識別情報を通知すればよい。

#### 【0047】

次に、本発明によるパケットスイッチの第3の実施例について説明する。

図12は、本実施例のパケットスイッチN1（N1-1、N1-2）が適用される通信ネットワークを示す。

例えば、図に示すIP網91に収容された端末（t）～（v）から発生したIPパケットを遠方のIP網92に収容された端末（w）～（z）に転送する場合、送信元IP網91から宛先IP網92に至るまでに多数のノード（パケットスイッチ）からなる中間網90を経由する場合がある。上記中間網90において、例えば、IPパケットでノード間通信を行うノードN1-1、N2、N1-2からなる経路に前述した本発明のパケットスイッチを適用すると、IPパケットからATMセルへの変換とその逆変換の繰り返しに起因する伝送遅延が問題となが

、ノードN1-1、N3、N1-2からなる経路のように、ATMセルでノード間通信すれば、上述したIPパケットとATMセルとの間の変換が不要となるため、伝送遅延を抑えることができる。

本発明は、ノードN1（N1-1、N1-2）のように、IPパケット回線とATMセル回線とを取容し、パケットスイッチにもATMスイッチにも選択的に接続できるノード装置も提供するものである。

#### 【0048】

図13は、上記ノード装置N1として適用可能な本発明によるパケットスイッチの第3の実施例を示す。

このパケットスイッチは、IPパケットの入力回線IN[A]に接続される複数のIP入力回線インターフェース1”(1”-1～1”-j)と、ATMセルの入力回線IN[B]に接続される複数のATM入力回線インターフェース10(10-k～10-n)と、セル単位でスイッチング動作するスイッチ部3と、IPパケット出力回線OUT[A]に接続された複数のIP出力回線インターフェース2”(2”-1～2”-j)と、ATMセル出力回線OUT[B]に接続された複数のATM出力回線インターフェース20(20-k～20-n)と、上記スイッチ部3の輻輳状態を上記各入力回線インターフェースに通知するための輻輳通知部4と、IPパケットのルーティング情報やATMセルのコネクション情報を管理するルーティング管理部5とからなる。

ここでは、第1実施例と同様、スイッチ部3がバッファ量監視部を含み、輻輳通知部4に対して輻輳状態情報を供給するものとする。上記スイッチ部3の構成は、図5、図7、図8で説明した構成のものを適用でし、図8の構成を採用した場合は、輻輳通知部4を省略できる。

#### 【0049】

図14は、上記パケットスイッチN1においてATM回線で入出力されるATMセルのフォーマット(a)と、スイッチ部3で扱う内部セルのフォーマット(b)との関係を示す。

ATM回線上で伝送されるセルは、接続インターフェイスがNNI(Network-Network Interface)かUNI(User-Network Interface)かによってヘッダフ

オーマットに多少の相違があるが、ここでは、各ATMセルが、NNIで規定された5バイトのセルヘッダ80を有するものとして説明する。

#### 【0050】

ATM入力回線IN[B]とATM出力回線OUT[B]の各ATMセルは、図(a)に示すように、5バイトのセルヘッダ80と48バイトのペイロード部81とからなり、ATMセルヘッダ80は、12ビットのVPI(Virtual Path Identifier)と、16ビットのVCI(Virtual Channel Identifier)と、3ビットのPTI(Payload Type Identifier)と、1ビットのCLP(Cell Loss Priority)と、8ビットのHEC(Header Error Check)を含む。

本実施例でパケットスイッチ内部で扱われる内部セルは、図(b)に示すように、上記ATMセルヘッダ80に先頭に、出力回線番号、入力回線番号、クラス、セルタイプを含む付加ヘッダ82を備えた構成となっている。

#### 【0051】

図15は、IP入力回線インターフェース1"-1の構成の一例を示す。

IP入力回線インターフェース1"-1は、図2で示した回線インターフェイ1-1と同様の回路要素からなる。但し、ルーティングテーブル13'は、各IPパケットのヘッダ部から抽出されたIPアドレスとTOSをキーとしてアクセスされ、上記キーと対応して予め登録された出力回線番号とVPI/VCIを出力する。また、セル化回路14は、バッファメモリ12から読み出されたIPパケットを48バイト単位のデータブロックに分割し、これをペイロード81として、これにATMセルヘッダ80と内部ヘッダ82を付加して、図14(b)に示す内部セルを構成し、バッファメモリ15に供給する。

#### 【0052】

尚、ATMセルヘッダのPTIフィールドには、ユーザセルであることを示す識別コードを設定し、内部セルヘッダ82の入力回線番号には予め各インターフェイス毎に決まっている固有の番号を設定し、サービスクラスにはIPヘッダから抽出されたTOSによって決まる値、セルタイプには、IPパケット長で最終判別できる一連のデータブロック列における順序判定によって決まる区分コードを設定する。

## 【0053】

図16は、IP出力回線インターフェース2"-1の構成の一例を示す。

IP出力回線インターフェース2"-1は、図6で説明した第1実施例の出力回線インターフェイス2と同様の構成要素からなり、デセル化回路21'において、出力ポートLO-1から受信した各セルから内部ヘッダ82とATMセルヘッダ80を除去し、ペイロード部に設定されたデータブロックをメモリ制御部23'の制御の下で出力バッファメモリ22に書き込む。

## 【0054】

本実施例の場合、ATM入力回線IN[B]から入力されてIP出力回線インターフェイスに転送されたセルは、同一サービスクラスであってもVPI/VCI値によって区別して扱う必要があるため、デセル化回路21'からメモリ制御部23'に入力回線番号とサービスクラスの他にVPI/VCI値を供給し、バッファメモリ22内に入力回線番号/サービスクラス別、且つVPI/VCI別のキューを形成して、各データブロックを該当キューに蓄積していく。また、上記メモリ制御部23'では、デセル化回路21'から与えられたセルタイプとパケット長に基いて最終セルのデータブロックの到着を判定し、最終セルのデータブロックが登録済みとなったキューから1パケット長分のデータを読み出して、出力回線OUT-1にIPパケットとして送出する。

## 【0055】

図17は、ATM入力回線インターフェース10-kの構成の一例を示す。

ATM入力回線インターフェース10-kは、ATM入力回線IN-kから入力したセルを一時的に蓄積するバッファメモリ101と、入力セルのVPI/VCIと対応して出力セルに付すべき出力VPI/VCIおよび内部ヘッダ情報を記憶したセルヘッダテーブル用メモリ102と、上記セルヘッダテーブルから読み出されたヘッダ情報に基いて入力セルヘッダ80のVPI/VCIを変換し、内部セルヘッダ82を生成して入力セルに付加するセルヘッダ変換部(生成・付与部)103と、上記ヘッダ変換された内部セルを出力回線番号/クラス別にキューイングするための入力バッファメモリ104と、上記入力バッファメモリへのセルの書き込みと読み出しを制御するメモリ制御部105とからなる。

## 【0056】

上記セルヘッダテーブル102は、バッファメモリ101に蓄積された各入力ATMセルのヘッダから抽出された入力VPI/VCIをキーとしてアクセスされ、上記入力VPI/VCIと対応して予め記憶されたヘッダ情報（出力回線番号、サービスクラス、出力VPI/VCI）をセルヘッダ変換部103に与える。セルヘッダ変換部103は、上記バッファメモリから読み出された入力ATMセルのVPI/VCIを上記出力VPI/VCIに書き換えると共に、上記テーブルメモリ102から与えられたヘッダ情報と各インターフェイスに予め割り当てられた固有の入力回線番号とに基いて内部セルヘッダ82を生成し、各入力セルを図14（b）に示した内部セルに変換して出力する。

## 【0057】

メモリ制御部105は、上記ヘッダ変換された内部セルをヘッダ部に含まれる出力回線番号とサービスクラスとに対応するセルキューに書き込み、優先セルキューを優先させながら上記各セルキューからのセルの読み出しを行う。尚、上記メモリ制御部105が行う入力バッファメモリ内の各セルキューからの内部セルの読み出し制御と、信号線19を介して与えられる輻輳通知に応じたセル読み出しの抑制制御は、第1実施例の入力回線インターフェイス1-1および前記IP入力回線インターフェイス1"-1の場合と同様である。

## 【0058】

図17は、ATM出力回線インターフェース20-kの構成の一例を示す。

出力ポートLO-kに現れる内部セルは、ATMセルヘッダ80のVPI/VCIの値が入力回線インターフェイスにおいて既に出力用のVPI/VCI値に変換済みとなっているため、ATM出力回線インターフェース20-kでは、出力ポートLO-kから受信した各内部セルについて、セルヘッダ除去回路25によって、内部セルヘッダ（付加ヘッダ）82を除去し、順次にATM出力回線OUT-kに送出すればよい。

上記第3実施例のパケットスイッチによれば、1つの入力回線から受信したIPパケットをセル単位でATM回線に接続された出力ポートに交換し、ATMセルの形で宛先ノードに転送し、宛先ノードで元のIPパケットに復元してIP網

に転送する伝送形式とすることができます。IPパケットの伝送遅延時間を短縮できる。尚、図13は、スイッチ部3で輻輳状態を検出する構成となっているが、第2実施例と同様に、輻輳状態は各出力回線インターフェイスで検出するようにもよい。

#### 【0059】

図19は、スイッチ部3へのセル送出優先度を3クラス以上に分けて制御する場合の入力回線インターフェイスの他の実施例を示す。

この実施例は、図2で説明した第1実施例の入力回線インターフェイスにおいて、更に、メモリ制御部16にクラス管理テーブル用のメモリ17を追加し、メモリ制御部16が、上記クラス管理テーブルを参照することによって、バッファメモリ15内に出力回線対応に形成された3クラス以上のセルキューQ1～Qiから選択的にセルを読み出すようにしたことを特徴とする。

#### 【0060】

優先順位を3クラス以上にしてセルを転送制御するためには、例えば、IPヘッダに含まれるサービスタイプTOSとセル転送優先順位（クラス）との対応関係を示す変換テーブルをセル化回路14に設けておき、セル化回路から出力される各セルのヘッダ部に上記変換テーブルで変換されたクラス識別情報を与えておき、メモリ制御部16が、各セルをセルヘッダに含まれる出力回線番号と上記クラス識別情報で特定されるセルキューに書き込み、優先順位の高いクラスのセルキューから順にセルを読み出すようにすればよい。このようにセル化回路14で各セルに変換されたクラス情報を付加しておけば、後段のスイッチ部または出力回線インターフェイスから信号線19を介してメモリ制御部に与えられる輻輳通知と送信抑制すべきセルキューとが直接的に対応づけられるため、輻輳制御が容易になる。

#### 【0061】

これに代わる他の方法として、セルヘッダにはIPヘッダが指定するTOSをそのままクラス情報として設定し、上記TOSとクラスとの対応関係を示す変換テーブルをクラス管理テーブルメモリ17内に定義しておき、メモリ制御部16が、バッファメモリ15へのセルの書き込み時に出力回線/TOS別のセルキュー

を形成し、セルの読み出し時に上記変換テーブルで定義された上位クラスのTOSのセルキューから順にセルを読み出すようにしてもよい。逆に、セル書き込み時に変換テーブルを参照し、各セルを上記変換テーブルで変換したクラス別のセルキューに登録してもよい。後者の場合、スイッチ側または出力回線インターフェイス側のバッファ量監視部が輻輳通知で指定するクラスとバッファメモリ15内のセルキューとを対応づけるために、セル読み出し時に必要に応じて上記変換テーブルを参照する。輻輳通知部4に上記変換テーブルと同様のテーブルを設け、輻輳通知の表示ビットに変換処理を施すようにしてもよい。

#### 【0062】

図20は、1例として、出力回線毎に出力優先順位と出力停止条件を定義できるようにしたクラス管理テーブルメモリ17を示す。

図において、171は、出力回線OUT-1～OUT-n毎に各クラス間の出力優先順位OO(1)～OO(N)を示す出力順位テーブルであり、優先順位の定義式は出力回線毎に可変になっている。上記出力順位テーブル171は、初期状態で固定的に優先順位式を設定してもよいし、例えば、管理装置から与える制御用IPパケットによって、システム運用中に隨時に更新できるようにしてもよい。172は、出力回線OUT-1～OUT-n毎に、クラス別(CL(1)～CL(i))にバッファメモリ15からのセルの読み出しを停止する出力停止条件ST(11)～ST(1i)、…ST(N1)～ST(Ni)を示す出力条件テーブルである。

#### 【0063】

メモリ制御部16は、バッファメモリ15内に存在するセルキューについて、それぞれの出力回線番号と対応してセル出力優先順位テーブル171の出力順位式を参照し、出力優先順位の最も高いクラスのキューから登録済みのセルを読み出す。1つのキューで登録済みの全てのセルの読みしが終わると、出力回線番号を変えて、出力優先順位の最も高いクラスのキューのセルを読み出す。二番目に出力優先順位の高いクラスのキューよりセルを読み出す。上記動作を繰り返すことによって、各出力回線に優先順位の高いキューから順に次々とセルを読み出すことができる。

一方、信号線19から受信される輻輳通知をチェックし、輻輳表示された出力回線に送信中のセルキューがバッファメモリに存在している場合、出力停止条件テーブル172を参照し、輻輳表示ビットが示す輻輳状態と上記テーブルの停止条件とを照合して読み出しを停止すべきセルキューを特定する。

#### 【0064】

テーブル171による優先順位に従ったセルキューからのセルの読み出しと、輻輳通知およびテーブル172に基くセルの読み出し動作の抑制とを効率的に実行するためには、バッファメモリ15に存在中のセルキューについてテーブル171を参照し、パケットあるいはキューレイド（出力回線番号とクラス）と送信順位との関係を示すミニテーブルを作成しておき、輻輳通知の受信の都度、輻輳状態の変化があった回線を特定し、上記ミニテーブルを参照して輻輳回線（あるいは輻輳回復回線）に該当する回線番号の有無を判定し、もし、該当回線があれば、テーブル172を参照して送信停止（あるいは送信許可）すべきセルキューを特定し、上記ミニテーブル上の該当するキューレイドに付された送信禁止フラグの状態を切り替えるようにし、実際のセルの読み出しは上記ミニテーブルに基いて行えばよい。

#### 【0065】

##### 【発明の効果】

以上の実施例から明らかなように、本発明によれば、入力回線から受信した可変長パケットを固定長セルに変換してセル単位でスイッチングし、何れかの出力回線で輻輳状態となった時、上記出力回線に向かうセルの流入を優先度に応じて選択的に抑制するようにしているため、優先順位の低いデータ系パケットのセル転送を抑制することによって、優先順位の高いリアルタイム系のパケットについて遅延時間を短縮したスイッチングが可能となる。

また、可変長パケットを固定長セルに変換する各入力回線インターフェイスにおいて、スイッチ部への低優先度セルの送出を抑制中に高優先度のパケットが到着した場合、高優先度セルについてスイッチ部への送出を許容することによって、転送順序を入れ替えたパケット伝送が可能となる。

【図面の簡単な説明】

【図1】

本発明によるパケットスイッチの第1の実施例を示すブロック図。

【図2】

図1における入力回線インターフェイス1-1の構成例を示すブロック図。

【図3】

本発明によるパケットスイッチに入力される可変長パケット（IPパケット）と内部セルとの関係を示す図。

【図4】

IPパケットヘッダ（a）とセルヘッダ（b）のフォーマットを示す図。

【図5】

図1におけるスイッチ部3の構成例を示すブロック図。

【図6】

図1における出力回線インターフェイス2-1の構成例を示すブロック図。

【図7】

図1におけるスイッチ部3の他の構成例を示すブロック図。

【図8】

図1におけるスイッチ部3の更に他の構成例を示すブロック図。

【図9】

本発明によるパケットスイッチの第2の実施例を示すブロック図。

【図10】

図9におけるスイッチ部3Aの構成例を示すブロック図。

【図11】

図9における出力回線インターフェイス2"-1の構成例を示すブロック図。

【図12】

本発明によるパケットスイッチが適用される通信網の1例を示す図。

【図13】

本発明によるパケットスイッチの第3の実施例を示すブロック図。

【図14】

本発明の第3の実施例で適用される入力ATMセル(a)と内部セル(b)のフォーマットを示す図。

【図15】

図14の入力回線インターフェイス1"-1の構成例を示すブロック図。

【図16】

図14の出力回線インターフェイス2"-1の構成例を示すブロック図。

【図17】

図14の入力回線インターフェイス10-kの構成例を示すブロック図。

【図18】

図14の出力回線インターフェイス10-kの構成例を示すブロック図。

【図19】

本発明によるパケットスイッチに適用される入力回線インターフェイスの他の実施例を示すブロック図。

【図20】

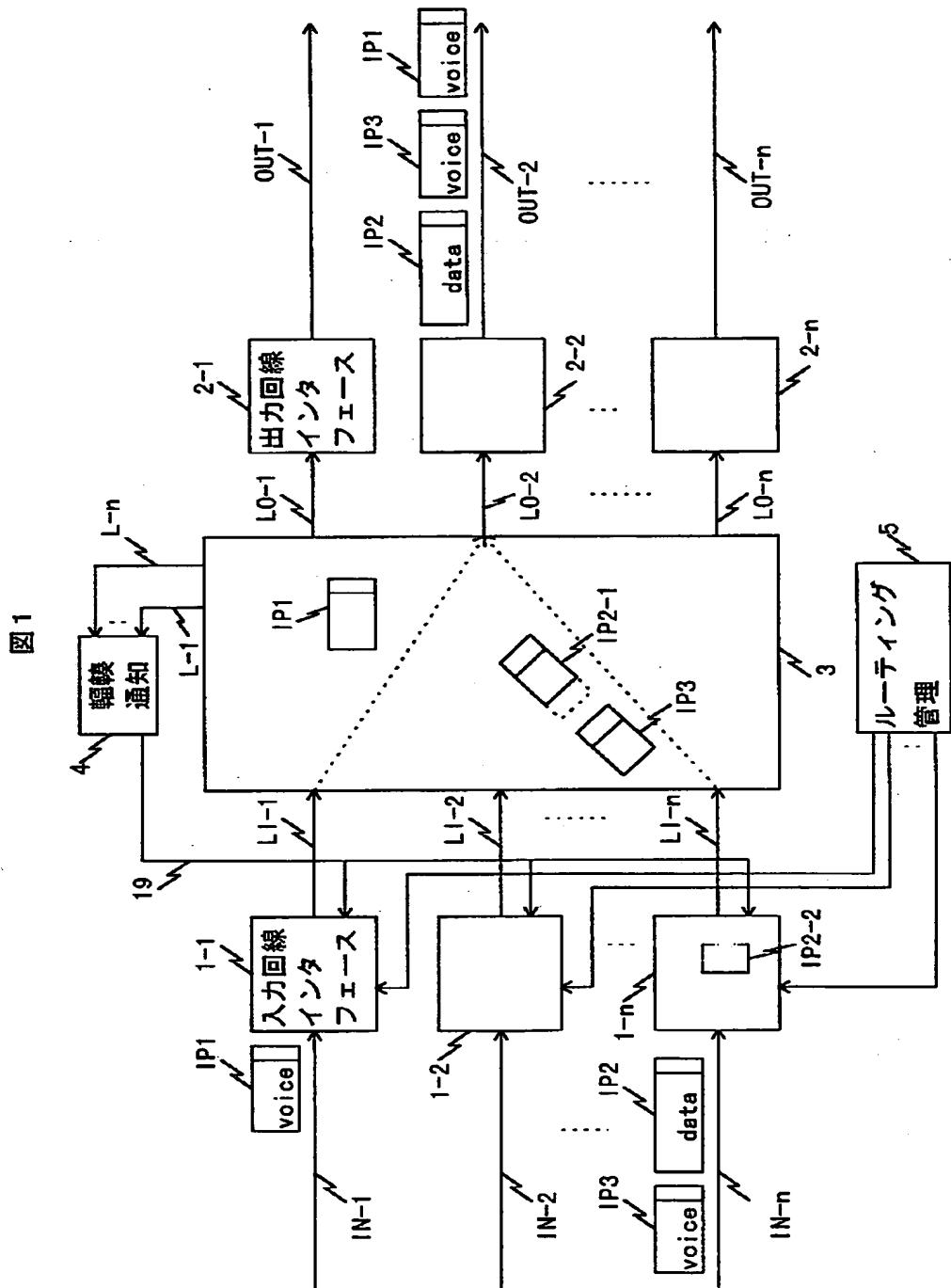
図19の入力回線インターフェイスに適用されるクラス管理テーブルの1実施例を示す図。

【符号の説明】

1 (1-1 ~ 1-n) …入力回線インターフェース、 2 (2-1 ~ 2-n) …出力回線インターフェース、 3 …スイッチ部、 4 …輻轄通知部、 5 …ルーティング管理部、 12 …バッファメモリ、 13 …ルーティングテーブル、 14 …セル化回路、  
15 …入力バッファメモリ、 16 …メモリ制御部、 21 …デセル化回路、  
22 …バッファメモリ、 23 …メモリ制御部、 24 …バッファ量監視部、  
31 …多重化回路、 32 (32-1 ~ 32-n)、 33 (33-1 ~ 33-n)  
…セル転送制御部

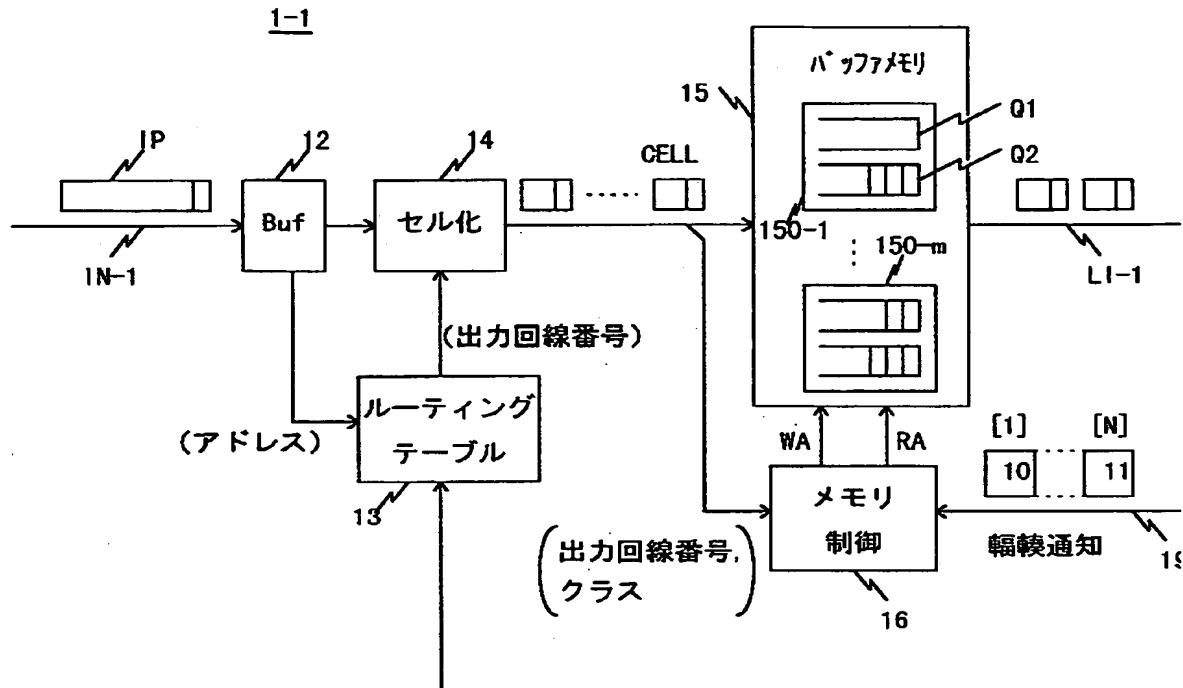
【書類名】 図面

【図1】



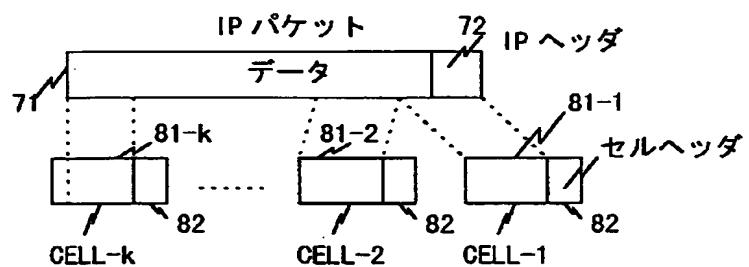
【図2】

図2



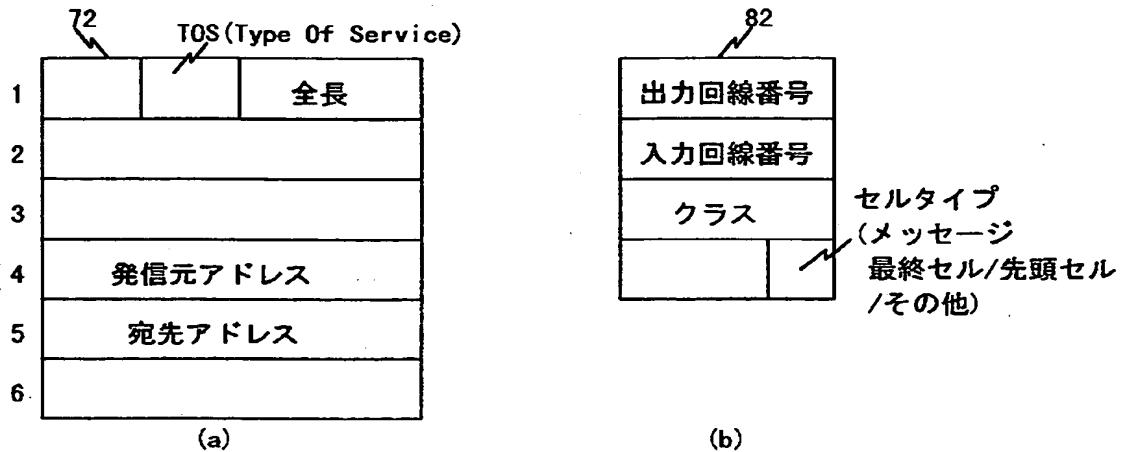
【図3】

図3



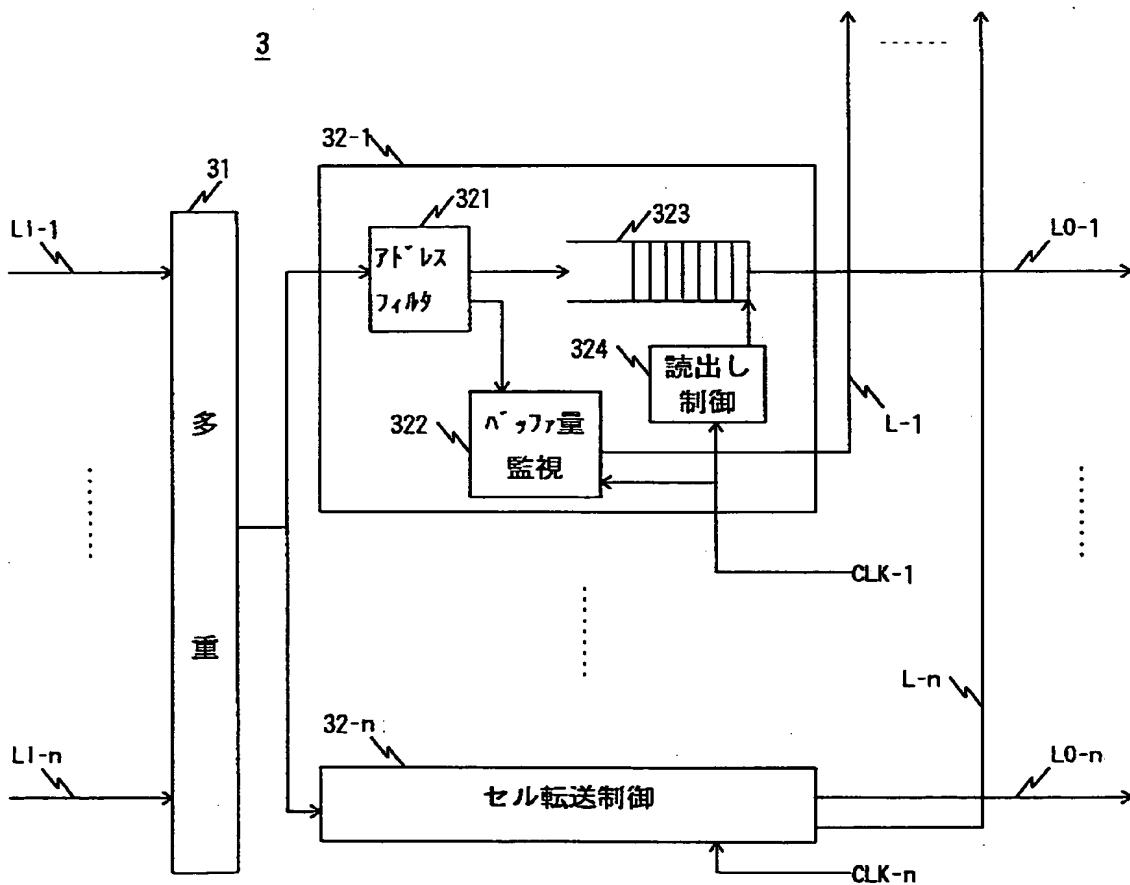
【図4】

図4



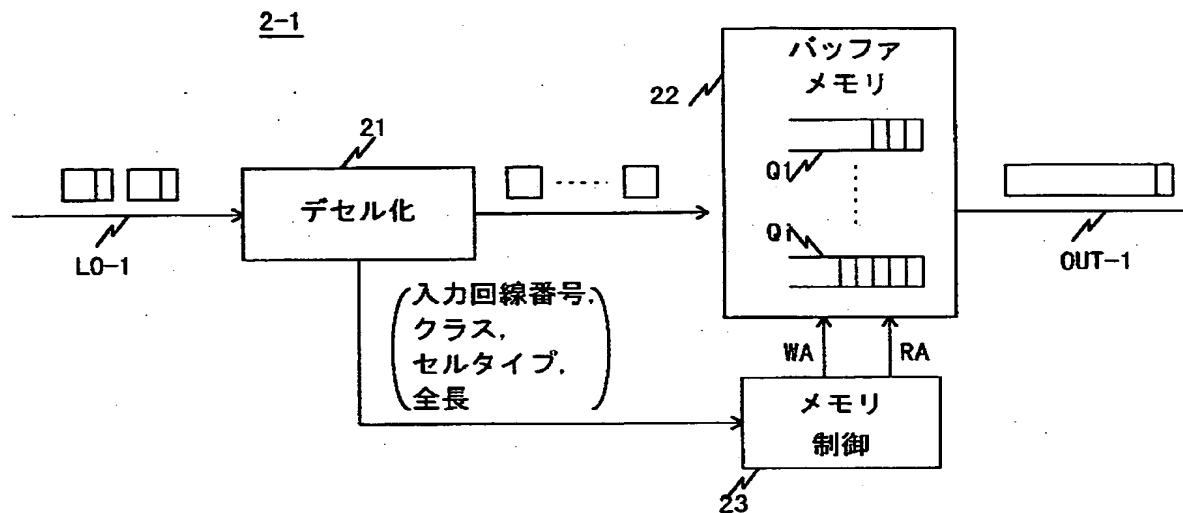
【図5】

図5



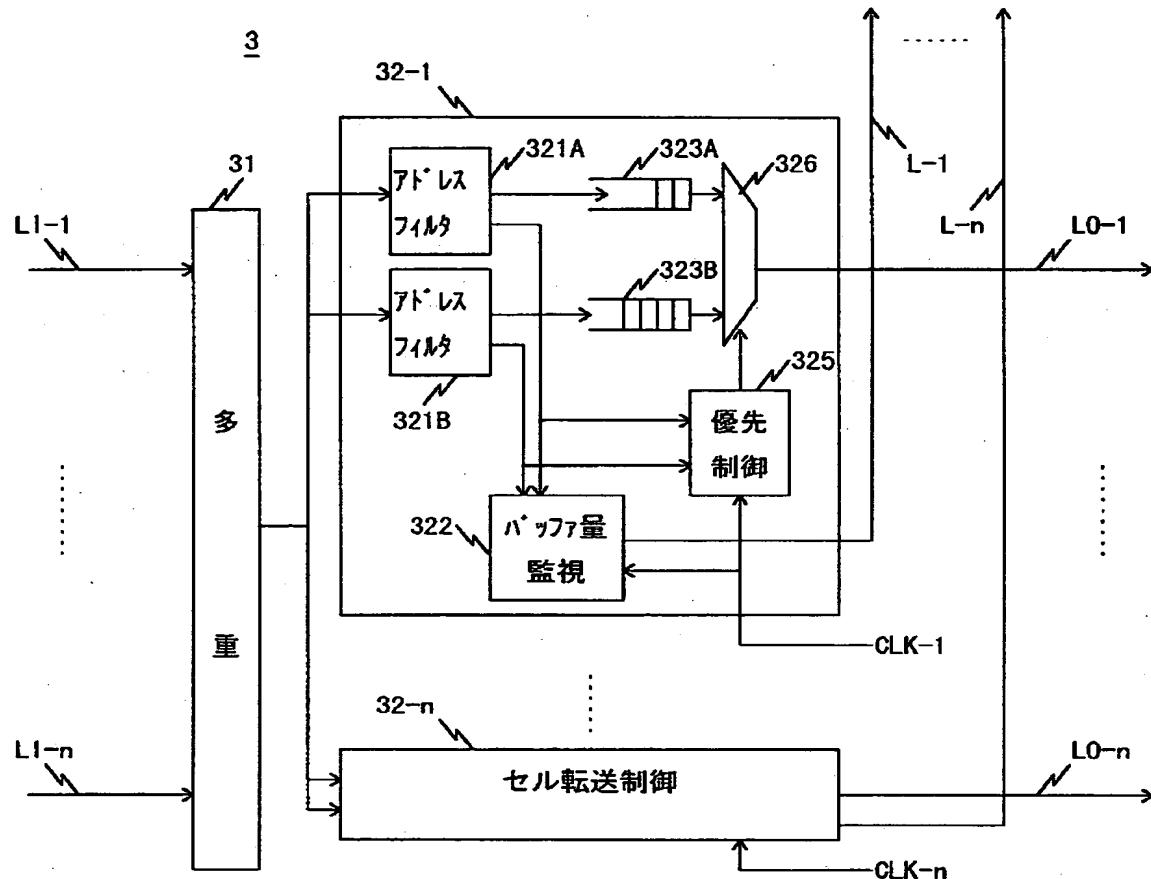
【図6】

図6

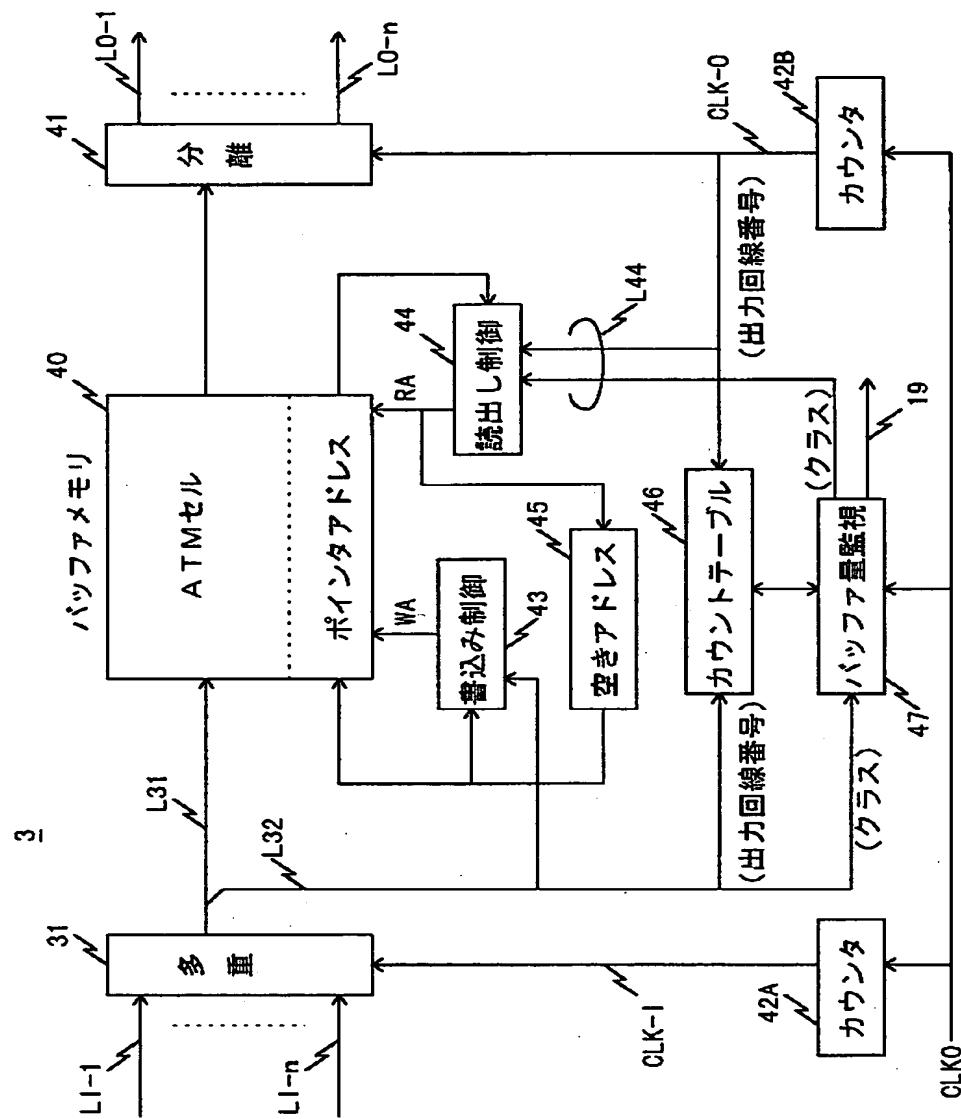


【図7】

図7

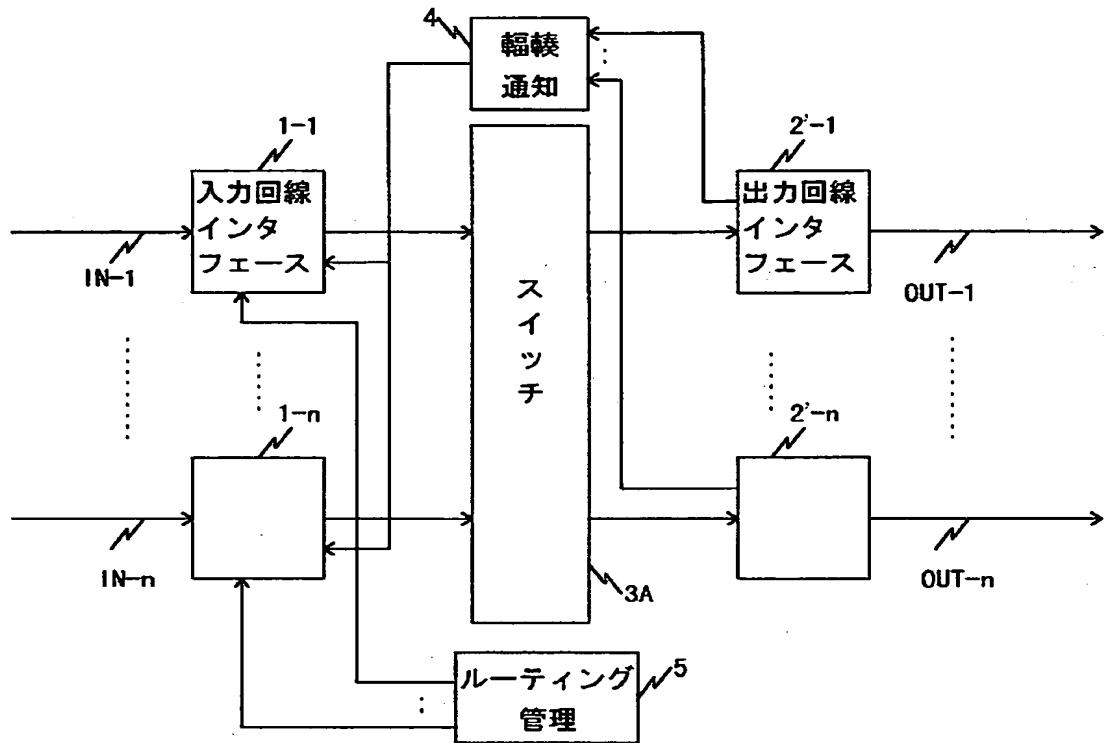


【図8】



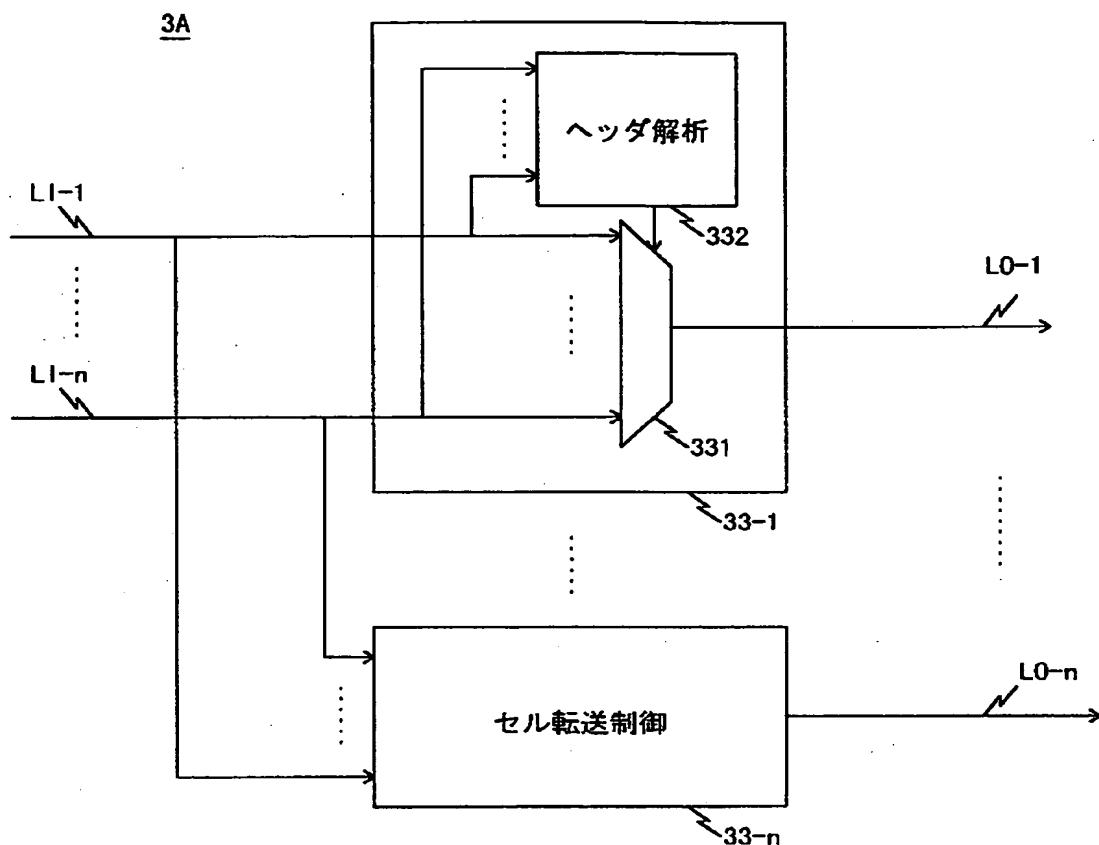
【図9】

図9



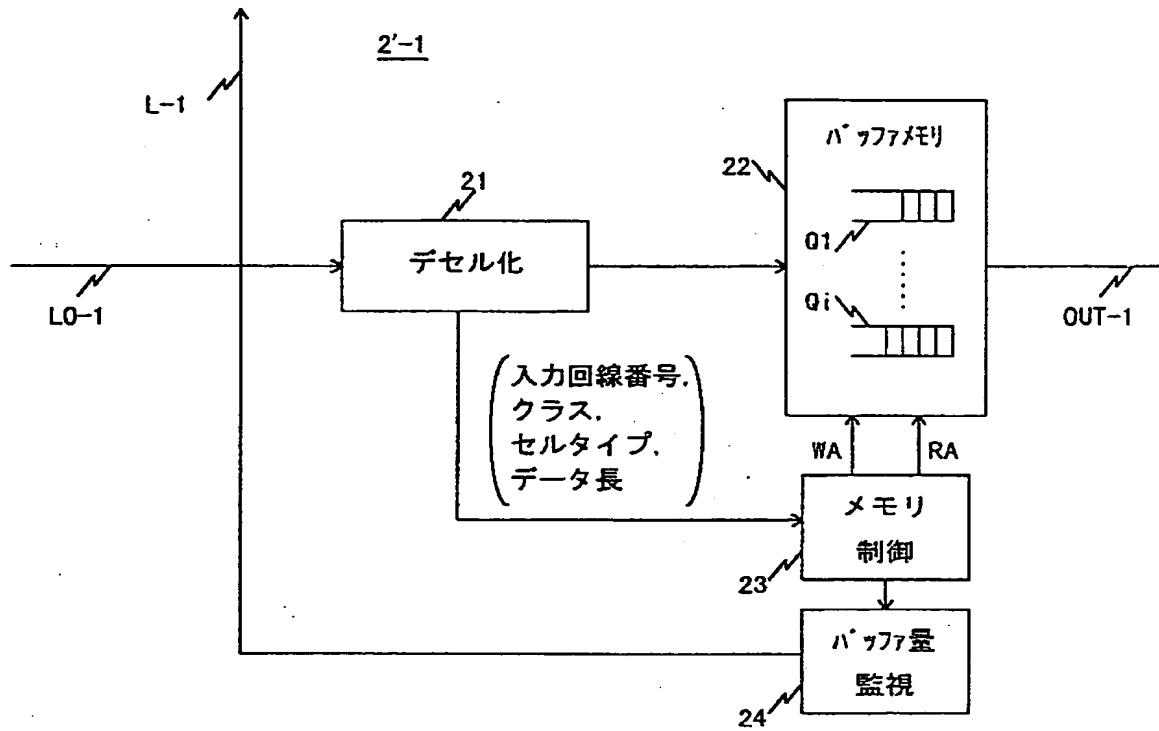
【図10】

図10



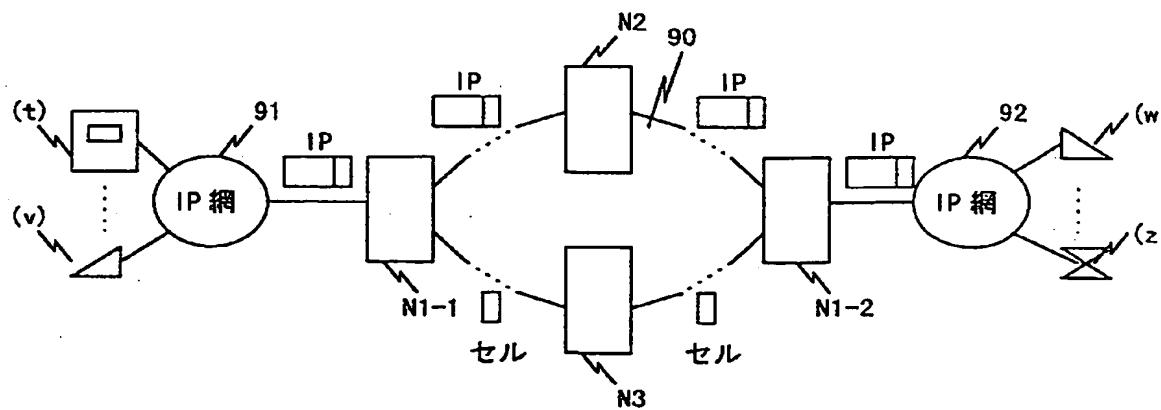
【図11】

図11



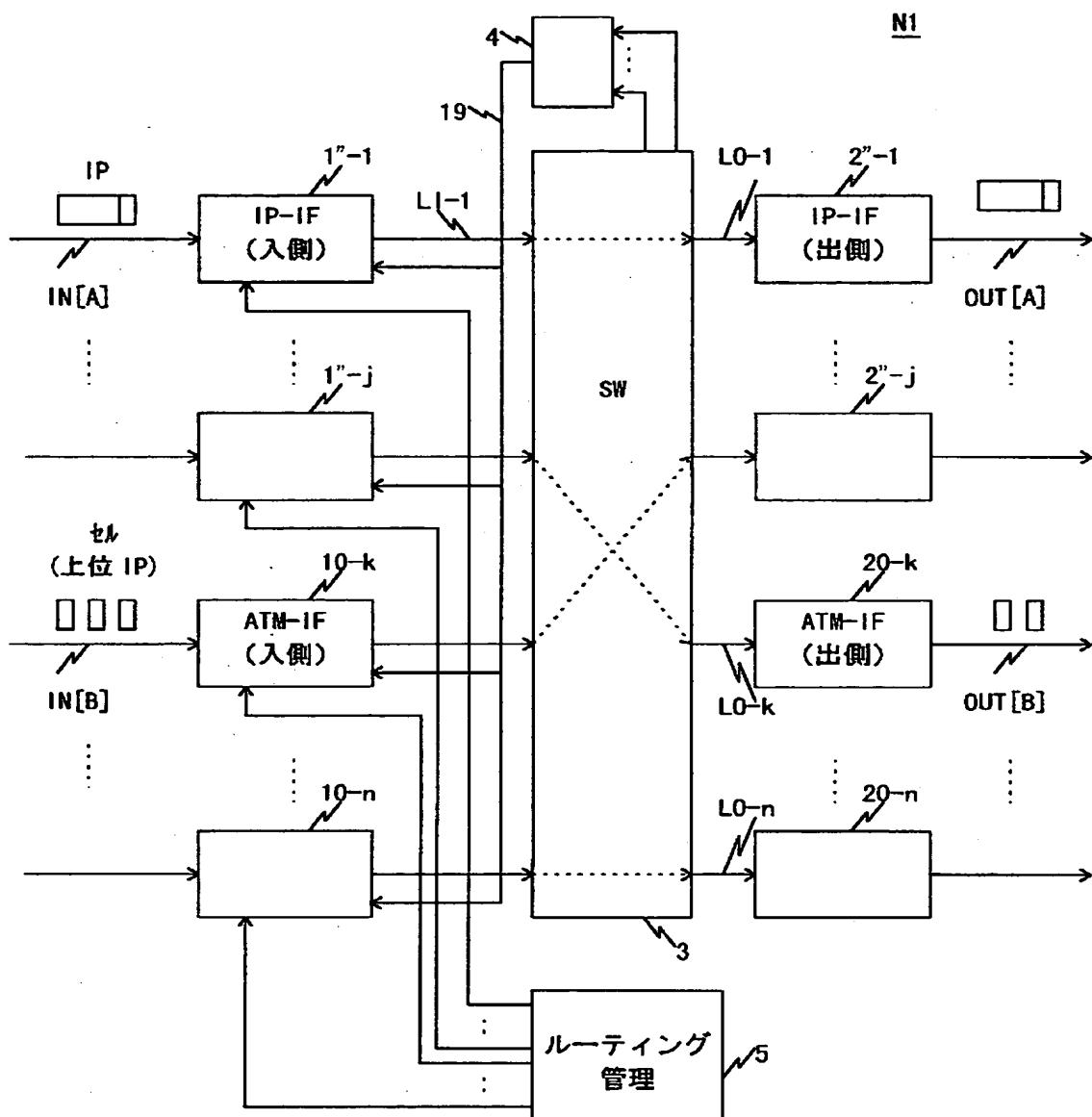
【図12】

図12



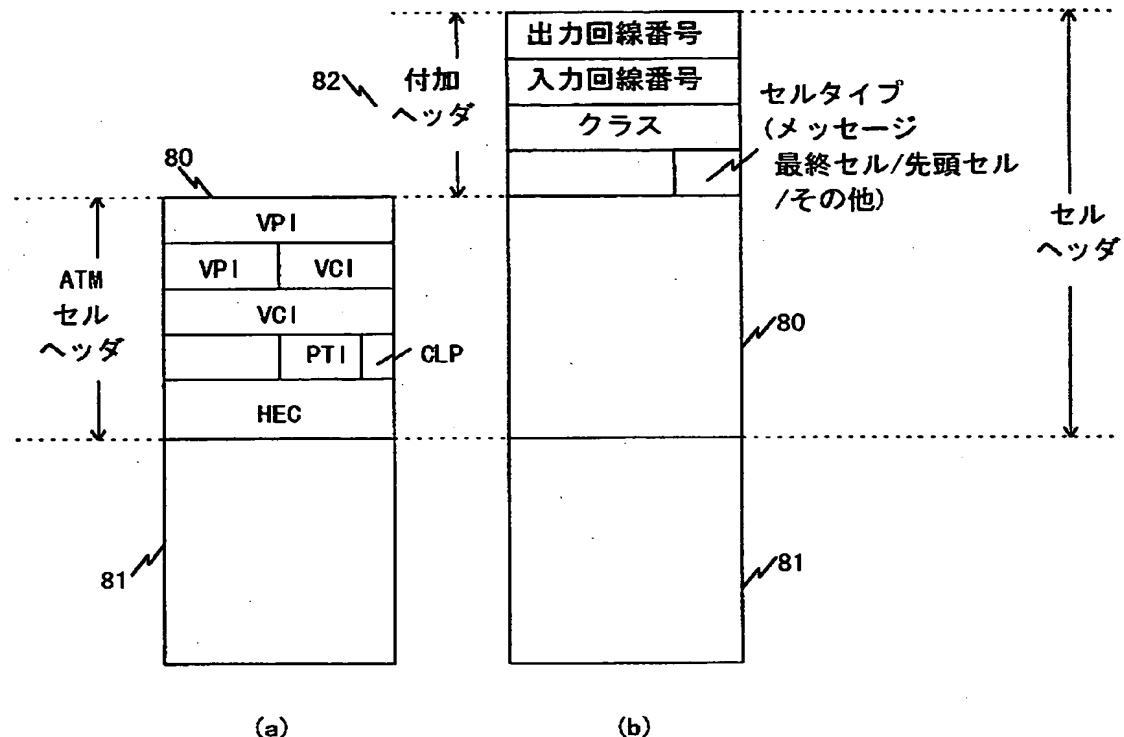
【図13】

図13



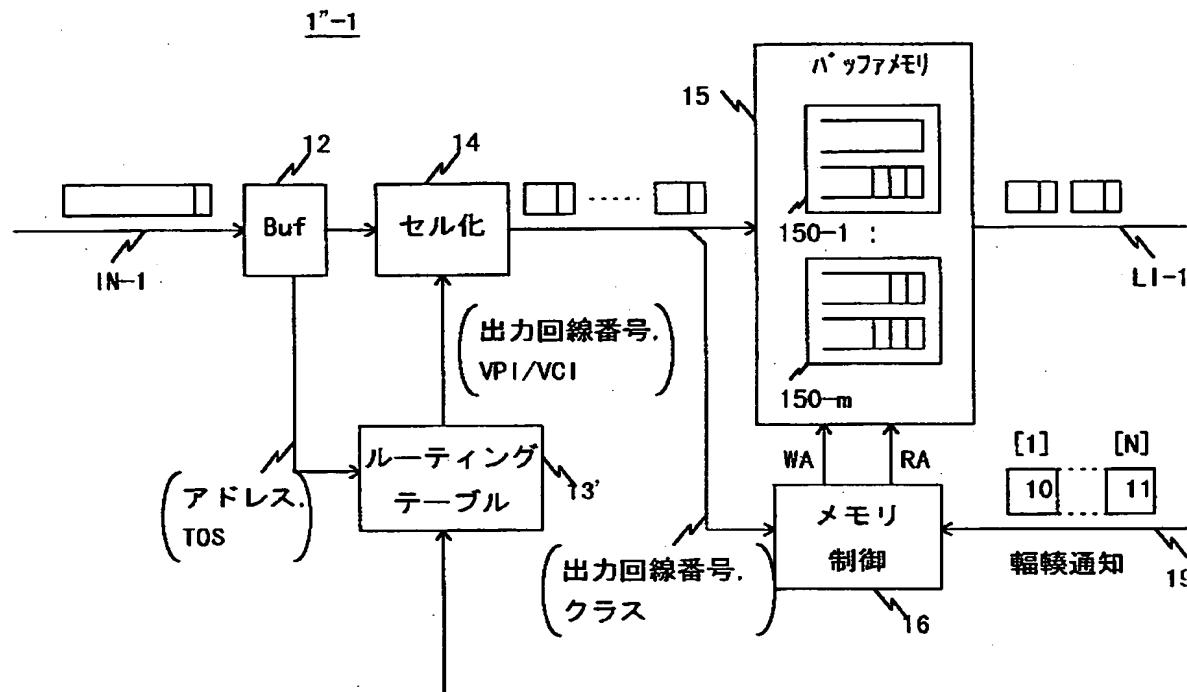
【図14】

図14



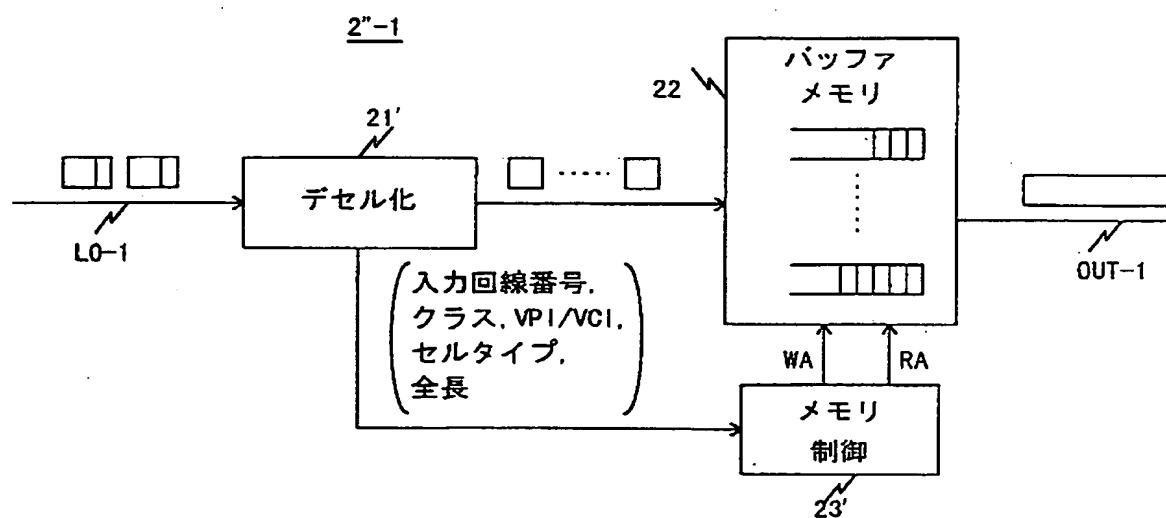
【図15】

図15



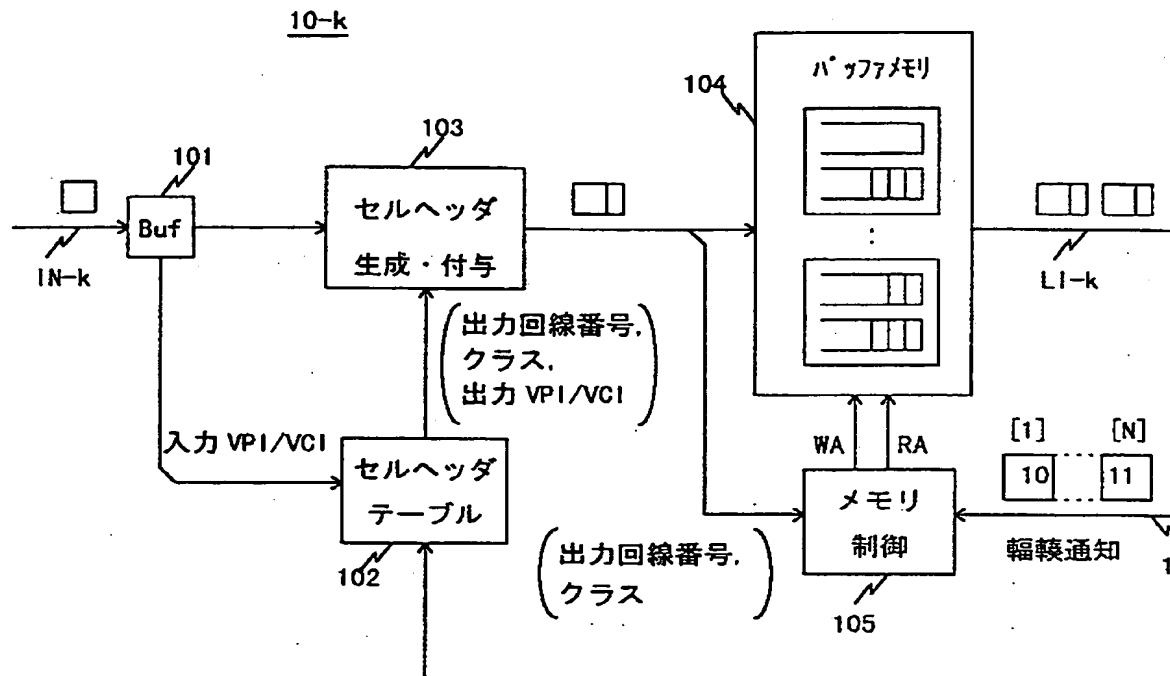
【図16】

図16



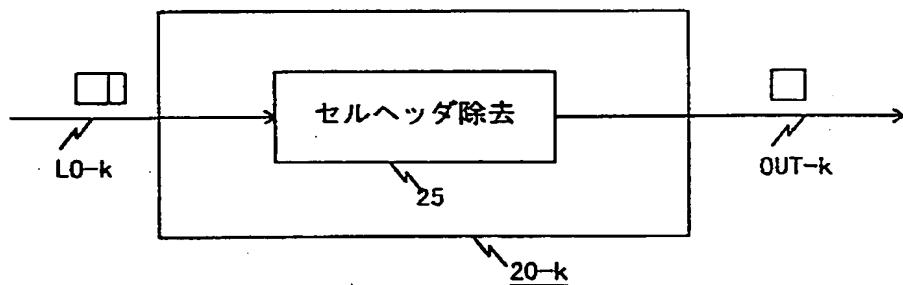
【図17】

図17



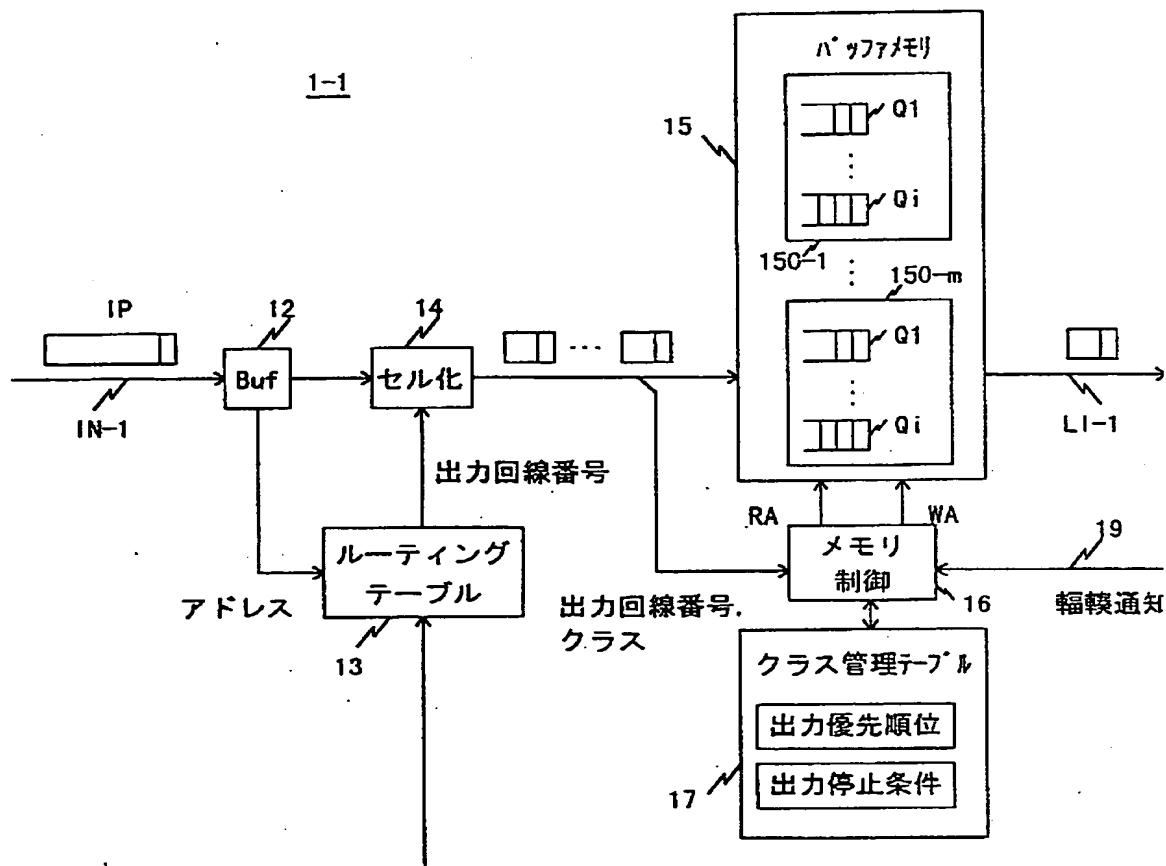
【図18】

図18



【図19】

図19



【図20】

図20

17

出力優先順位テーブル		
出力回線番号	出力優先順位式	
OUT-1	OO(1) (=“CL(1)>CL(2)>CL(3)”)	
:	:	
OUT-n	OO(N)	

171

出力停止条件テーブル		
出力回線番号	クラス	停止条件
OUT-1	CL(1)	ST(11) (=“重輻轆時”)
	CL(2)	ST(12) (=“軽輻轆時”)
	:	:
	CL(i)	ST(1i)
:	:	:
OUT-n	CL(1)	ST(N1)
	:	:
	CL(i)	ST(Ni)

172

【書類名】要約書

【要約】

【課題】 可変長パケットをスイッチングするパケットスイッチにおいて、輻輳時に優先度の高いパケットを遅延時間を抑えて転送することを目的とする。

【解決手段】 入力回線から受信した可変長パケットを各入力回線インターフェイスで固定長のセルに変換し、スイッチ部においてセル単位でスイッチングし、上記スイッチ部からの出力セルを各出力回線インターフェイスで元の可変長パケットに変換して出力回線に送出するパケットスイッチ構造とし、各入力回線インターフェイスに、固定長セルを出力回線毎に優先度別にキューイングし、各キューの蓄積セルを優先度に応じて選択的に出力するための制御手段を設け、輻輳時に低優先度セルから順に送出を抑制する。

【選択図】図1

【書類名】 職權訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100061893

【住所又は居所】 東京都中央区日本橋茅場町二丁目九番八号 友泉茅場町ビル 日東国際特許事務所

【氏名又は名称】 高橋 明夫

【選任した代理人】

【識別番号】 100086656

【住所又は居所】 東京都中央区日本橋茅場町二丁目九番八号 友泉茅場町ビル 日東国際特許事務所

【氏名又は名称】 田中 恒助

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所